

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出 願 年 月 日
Date of Application:

2000年 8月23日

出 願 番 号
Application Number:

特願2000-253196

出 願 人
Applicant(s):

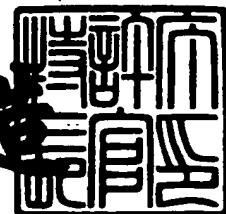
株式会社半導体エネルギー研究所

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 6月20日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 P005166

【提出日】 平成12年 8月23日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 舜平

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 小山 潤

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 携帯情報装置

【特許請求の範囲】

【請求項 1】

液晶表示装置とそのコントロール回路とを有する携帯情報装置において、
前記液晶表示装置は画素中に記憶回路と D/A コンバータとを有し、
前記液晶表示装置が静止画を表示するとき、前記液晶表示装置と前記コントロール回路以外の映像表示機能を停止することを特徴とした携帯情報装置。

【請求項 2】

請求項 1 において、
前記コントロール回路は前記液晶表示装置のクロック発生回路であることを特徴とした携帯情報装置。

【請求項 3】

液晶表示装置と CPU とを有する携帯情報装置において、
前記液晶表示装置は画素中に記憶回路と D/A コンバータとを有し、
前記液晶表示装置が静止画を表示するとき、前記 CPU の映像表示機能を停止することを特徴とした携帯情報装置。

【請求項 4】

液晶表示装置と VRAM とを有する携帯情報装置において、
前記液晶表示装置は画素中に記憶回路と D/A コンバータとを有し、
前記液晶表示装置が静止画表示を行うとき、前記 VRAM のデータの読み出し操作を停止することを特徴とした携帯情報装置。

【請求項 5】

液晶表示装置を有する携帯情報装置において、
前記液晶表示装置は画素中に記憶回路と D/A コンバータとを有し、
前記液晶表示装置が静止画表示を行うとき、前記液晶表示装置のソース信号線駆動回路を停止することを特徴とした携帯情報装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項において、

前記記憶回路は 1 フレームに 1 度読み出し操作が行われることを特徴とした携帯情報装置。

【請求項 7】

液晶表示装置を有する携帯情報装置において、

前記表示装置はマトリクス状に配置された複数の画素を有し、

前記複数の画素はそれぞれ、記憶回路と D/A コンバータとを有し、

前記液晶表示装置は、前記複数の画素のうち、特定の行の画素または特定の列の画素が有する前記記憶回路のデータを書き換える手段を有することを特徴とした携帯情報装置。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一項において、

前記記憶回路及び前記 D/A コンバータは、前記液晶表示装置が有するソース信号線の下に配置されていることを特徴とした表示装置。

【請求項 9】

請求項 1 乃至請求項 7 のいずれか一項において、

前記記憶回路及び前記 D/A コンバータは、前記液晶表示装置が有するゲート信号線の下に配置されていることを特徴とした表示装置。

【請求項 10】

請求項 1 乃至請求項 9 のいずれか一項において、

前記携帯情報装置は、携帯電話であることを特徴とした携帯情報装置。

【請求項 11】

請求項 1 乃至請求項 9 のいずれか一項において、

前記携帯情報装置は、パーソナルコンピュータであることを特徴とした携帯情報装置。

【請求項 12】

請求項 1 乃至請求項 9 のいずれか一項において、

携帯情報装置は、ナビゲーションシステムであることを特徴とした携帯情報装置。

【請求項 13】

請求項 1 乃至請求項 9 のいずれか一項において、
携帯情報装置は、PDAであることを特徴とした携帯情報装置。

【請求項 1 4】

請求項 1 乃至請求項 9 のいずれか一項において、
携帯情報装置は、電子書籍であることを特徴とした携帯情報装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、携帯情報装置に関する。特に、液晶を用いた表示装置を用いた、携帯電話、PDA、携帯パーソナルコンピュータ、携帯ナビゲーションシステム、電子書籍などの携帯情報装置に関する。

【0002】

【従来の技術】

近年、通信技術の発展によって、携帯電話が普及している。今後はさらに動画の電送や、より多量の情報伝達が予想される。一方パーソナルコンピュータもその軽量化によって、モバイル対応の製品が生産されている。電子手帳にはじまったパーソナルデジタルアシスタント（PDA）と呼ばれる情報機器も多数生産され、普及しつつある。また、液晶表示装置などの発展により、それらの携帯情報機器にはほとんどのものにフラットディスプレイが装備されている。

【0003】

さらに最近の技術では、それらに使用される液晶表示装置としてアクティブマトリクス型表示装置を使用する方向に向かっている。

【0004】

アクティブマトリクス型表示装置は、画素 1 つずつに対して、TFT（薄膜トランジスタ）を 1 つずつ配置し、その TFT によって、画面を制御している。このようなアクティブマトリクス型表示装置はパッシブマトリクス型表示装置と比較して、高精細化が可能である、画質の向上が可能である、動画対応が可能であるなどの長所を持っている。それ故に今後は携帯情報機器の表示装置はパッシブマトリクス型からアクティブマトリクス型に変化していくと思われる。

【 0 0 0 5 】

また、アクティブマトリクス型表示装置のなかでも、近年、低温ポリシリコンを用いた、表示装置の製品化が行われている。低温ポリシリコン技術では画素を構成する画素TFTの他に、画素部の周辺部に、TFTを用いて駆動回路を同時形成することができ、装置の小型化、低消費電力化に大いに貢献し、それに伴って、近年その応用分野の拡大が著しいモバイル機器の表示部等に、液晶表示装置は不可欠なデバイスとなってきた。

【 0 0 0 6 】

図 1 5 に、液晶表示装置を組み込んだ、従来の携帯情報端末のブロック図を示す。

【 0 0 0 7 】

携帯情報端末ではユーザーが必要におうじて、求める情報を引き出すことが要求される。その情報は、まず、その携帯情報端末内の記憶装置（DRAM 1 5 0 9、フラッシュメモリ 1 5 1 0 など）に記憶されているもの、または携帯情報端末に差し込まれるメモリーカード 1 5 0 3 に記憶されているもの、外部インターフェイスポート 1 5 0 5 を介して外部機器と接続して情報を得る物などがある。これらの情報はペン入力タブレット 1 5 0 1 より入力されるユーザーの指示に基づいて、CPU 1 5 0 6 により処理され、液晶表示装置 1 5 1 3 は表示を行う。

【 0 0 0 8 】

具体的には、ペン入力タブレット 1 5 0 1 より入力された信号は、検出回路 1 5 0 2 により検出され、タブレットインターフェイス 1 5 1 8 に入力される。この入力信号は、タブレットインターフェイス 1 5 1 8 により処理され、映像信号入力回路 1 5 0 7 等に入力される。必要なデータをCPU 1 5 0 6 が処理し、それをVRAM 1 5 1 1 に格納してある画像フォーマットに基づき、画像データに変換し、LCDコントローラ 1 5 1 2 に送付する。ここでLCDコントローラ 1 5 1 2 は液晶表示装置 1 5 1 3 を駆動する信号を生成し、表示装置を駆動し、表示を行う。

【 0 0 0 9 】

図 1 6 に液晶表示装置を組み込んだ、従来の携帯電話のブロック図を示す。携

帯電話は電波を送受信する送受信回路1615と、受信した信号を音声処理する音声処理回路1602、スピーカ1614、マイク1608、またデータを入力するキーボード1601、キーボード1601より入力された信号を処理する、キーボードインターフェイス1618などを有している。

【0010】

キーボードより入力されるユーザーの指示に基づいて、記憶装置(DRAM1609、フラッシュメモリ1610など)に記憶されているもの、または携帯情報端末に差し込まれるメモリーカード1603に記憶されているもの、外部インターフェイスポート1605を介して外部機器と接続して得る情報等がCPU1606により処理され、液晶表示装置1613は表示を行う。

【0011】

具体的には、キーボード1601より入力された信号は、キーボードインターフェイス1618により処理され、映像信号処理回路1607等に入力される。必要なデータをCPU1606が処理し、それをVRAM1611に格納してある画像フォーマットに基づき、画像データに変換し、LCDコントローラ1612に送付する。ここでLCDコントローラ1612は液晶表示装置1613を駆動する信号を生成し、表示装置を駆動し、表示を行う。

【0012】

なお、送受信回路1615の構造の例として、図26を示す。

【0013】

送受信回路1615は、アンテナ2602、フィルタ2603、2607、2608、2612、2616、スイッチ2604、アンプ2605、2606、2617、第1周波数変換回路2609、第2周波数変換回路2613、周波数変換回路2611、発振回路2610、2614、直交変換器2615、データ復調回路2618、2619を含む。

【0014】

ここで、上記の携帯情報端末や携帯電話に組み込まれた表示装置として、従来のデジタル方式の液晶表示装置について説明する。その概略図を、図13に示す。中央に画素部1308が配置されている。画素部の上側には、ソース信号線を

制御するための、ソース信号線駆動回路 1 3 0 1 が配置されている。ソース信号線駆動回路 1 3 0 1 は、第 1 のラッチ回路 1 3 0 4、第 2 のラッチ回路 1 3 0 5、D/A コンバータ (D/A 変換回路) 1 3 0 6、アナログスイッチ 1 3 0 7 等を有する。画素部の左右には、ゲート信号線を制御するための、ゲート信号線駆動回路 1 3 0 2 が配置されている。なお、図 1 3 においては、ゲート信号線駆動回路 1 3 0 2 は、画素部の左右両側に配置されているが、片側配置でも構わない。ただし、両側配置とした方が、駆動効率、駆動信頼性の面から見て望ましい。

【 0 0 1 5 】

ソース信号線駆動回路 1 3 0 1 に関しては、図 1 4 に示すような構成を有している。図 1 4 に例として示す駆動回路は、水平方向解像度 1 0 2 4 画素、3 ビットデジタル階調の表示に対応したソース信号線駆動回路であり、シフトレジスタ回路 (SR) 1 4 0 1、第 1 のラッチ回路 (LAT1) 1 4 0 2、第 2 のラッチ回路 (LAT2) 1 4 0 3、D/A コンバータ (D/A) 1 4 0 4 等を有する。なお、図 1 4 では図示していないが、必要に応じてバッファ回路、レベルシフタ回路等を配置しても良い。

【 0 0 1 6 】

図 1 3 および図 1 4 を用いて動作について簡単に説明する。まず、シフトレジスタ回路 1 3 0 3 (図 1 4 中、SR と表記) にクロック信号 (S-CLK、S-CLKb) およびスタートパルス (S-SP) が入力され、順次パルスが出力される。続いて、それらのパルスは第 1 のラッチ回路 1 3 0 4 (図 1 4 中、LAT1 と表記) に入力され、同じく第 1 のラッチ回路 1 3 0 4 に入力されたデジタル映像信号 (Digital Data) をそれぞれ保持していく。ここで、D1 が最上位ビット (MSB: Most Significant Bit)、D3 が最下位ビット (LSB: Least Significant Bit) である。第 1 のラッチ回路 1 3 0 4 において、1 水平周期分のデジタル映像信号の保持が完了すると、帰線期間中に、第 1 のラッチ回路 1 3 0 4 で保持されているデジタル映像信号は、ラッチ信号 (Latch Pulse) の入力に従い、一斉に第 2 のラッチ回路 1 3 0 5 (図 1 4 中、LAT2 と表記) へと転送される。

【 0 0 1 7 】

その後、再びシフトレジスタ回路 1 3 0 3 が動作し、次の水平周期分のデジタル映像信号の保持が開始される。同時に、第 2 のラッチ回路 1 3 0 5 で保持されているデジタル映像信号は、D/A コンバータ 1 3 0 6（図 1 4 中、D/A と表記）にてアナログ映像信号へと変換される。このアナログ化されたデジタル映像信号は、ソース信号線を経由して画素に書き込まれる。この動作を繰り返すことによって、画像の表示が行われる。

【 0 0 1 8 】

【発明が解決しようとする課題】

以上に述べたような従来の携帯情報装置では、組み込まれた表示装置が画像を表示する場合、たとえその画像が静止画像であっても、同一の映像のデータを 1 秒間に 6 0 回づつ、表示装置に送り続けていた。即ち、図 1 5 中、破線で囲った部分（CPU 1 5 0 6 にある映像信号処理回路 1 5 0 7、VRAM 1 5 1 1、LCD コントローラ 1 5 1 2、および液晶表示装置 1 5 1 3 のソース信号線駆動回路及びゲート信号線駆動回路、ペン入力ダブレット 1 5 0 1、検出回路 1 5 0 2、ダブレットインターフェイス 1 5 1 8）は画像の表示を行っている限り、動作をやり続けていた。また、図 1 6 中、破線で囲った部分（CPU 1 6 0 6 にある映像信号処理回路 1 6 0 7、VRAM 1 6 1 1、LCD コントローラ 1 6 1 2、および液晶表示装置 1 6 1 3 のソース信号線駆動回路及びゲート信号線駆動回路、キーボード 1 6 0 1、キーボードインターフェイス 1 6 1 8）は画像の表示を行っている限り、動作をやり続けていた。

【 0 0 1 9 】

ここで、画素数の少ないパッシブマトリクス型表示装置においては、記憶回路を表示装置のドライバ IC もしくはコントローラの中に内蔵し、VRAM を停止するものも存在するが、アクティブマトリクス型表示装置のような多数の画素を用いる表示装置では、ドライバ内もしくはコントローラ内に記憶回路を有するのはチップサイズの観点から、非現実的である。よって、従来の携帯情報装置では、静止画を表示する場合においても、多くの回路は動作を続けねばならず、消費電力の低減に対して、妨げと成っていた。

【 0 0 2 0 】

また、モバイル機器においては、低消費電力化が大きく望まれている。さらに、このモバイル機器においては、静止画モードで使用されることが大部分を占めているにもかかわらず、前述のように駆動回路は静止画表示の際にも動作し続けているため、低消費電力化への足かせとなっている。

【 0 0 2 1 】

そこで本発明は、携帯情報端末や携帯電話等の低消費電力化が望まれる機器において、静止画の表示時における駆動回路の消費電力を低減することを課題とする。

【 0 0 2 2 】

【課題を解決するための手段】

前述の課題を解決するために、本発明では次のような手段を用いた。

【 0 0 2 3 】

携帯情報装置に組み込まれた表示装置の画素内に複数の記憶回路を配置し、画素毎にデジタル映像信号を記憶させる。静止画の場合、一度書き込みを行えば、それ以降、画素に書き込まれる情報は同様であるので、フレーム毎に信号の入力を行わなくとも、記憶回路に記憶されている信号を読み出すことによって静止画を継続的に表示することができる。

【 0 0 2 4 】

すなわち、静止画を表示する際は、最低 1 フレーム分の信号の処理動作を行って以降は、ソース信号線駆動回路や画像信号処理回路等を停止させておくことが可能となり、それに伴って電力消費を大きく低減することが可能となる。

【 0 0 2 5 】

以下に、本発明の携帯情報装置の構成について記載する。

【 0 0 2 6 】

本発明によって、

液晶表示装置とそのコントロール回路とを有する携帯情報装置において、

前記液晶表示装置は画素中に記憶回路と D/A コンバータとを有し、

前記液晶表示装置が静止画を表示するとき、前記液晶表示装置と前記コントロール回路以外の映像表示機能を停止することを特徴とした携帯情報装置が提供さ

れる。

【 0 0 2 7 】

前記コントロール回路は前記液晶表示装置のクロック発生回路であることを特徴とした携帯情報装置であってもよい。

【 0 0 2 8 】

本発明によって、

液晶表示装置とCPUとを有する携帯情報装置において、

前記液晶表示装置は画素中に記憶回路とD/Aコンバータとを有し、

前記液晶表示装置が静止画を表示するとき、前記CPUの映像表示機能を停止することを特徴とした携帯情報装置が提供される。

【 0 0 2 9 】

本発明によって、

液晶表示装置とVRAMを有する携帯情報装置において、

前記液晶表示装置は画素中に記憶回路とD/Aコンバータとを有し、

前記液晶表示装置が静止画表示を行うとき、前記VRAMのデータの読み出し操作を停止することを特徴とした携帯情報装置が提供される。

【 0 0 3 0 】

本発明によって、

液晶表示装置を有する携帯情報装置において、

前記液晶表示装置は画素中に記憶回路とD/Aコンバータとを有し、

前記液晶表示装置が静止画表示を行うとき、前記液晶表示装置のソース信号線駆動回路を停止することを特徴とした携帯情報装置が提供される。

【 0 0 3 1 】

前記記憶回路は1フレームに1度読み出し操作が行われることを特徴とした携帯情報装置であってもよい。

【 0 0 3 2 】

本発明によって、

液晶表示装置を有する携帯情報装置において、

前記表示装置はマトリクス状に配置された複数の画素を有し、

前記複数の画素はそれぞれ、記憶回路とD/Aコンバータとを有し、

前記液晶表示装置は、前記複数の画素のうち、特定の行の画素または特定の列の画素が有する前記記憶回路のデータを書き換える手段を有することを特徴とした携帯情報装置が提供される。

【0033】

前記記憶回路及び前記D/Aコンバータは、前記液晶表示装置が有するソース信号線の下に配置されていることを特徴としてもよい。

【0034】

前記記憶回路及び前記D/Aコンバータは、前記液晶表示装置が有するゲート信号線の下に配置されていることを特徴としてもよい。

【0035】

前記携帯情報装置は、携帯電話、パーソナルコンピュータ、ナビゲーションシステム、PDAまたは電子書籍であってもよい。

【0036】

【発明の実施の形態】

図1は本発明の構成を示したものである。本発明では、静止画を表示する場合、表示装置2413の画素の内部にある、記憶回路に映像信号を記憶させ、記憶した映像信号を呼び出すことによって、表示をおこなう。よって、従来、動作させていたCPU2406の内部回路のうち、映像信号処理回路2407、VRAM2411、表示装置2413の中のソース信号線駆動回路を停止することが可能となる。

【0037】

以下その内容について、具体的に説明をおこなう。ペン入力タブレット2401からの入力が一定時間の間行われないうち、もしくは外部インターフェイスポート2405から、映像表示を変えなければならないような信号入力が一定時間されない場合、CPU2406は静止画モードであると判断をおこなう。CPU2406がそのような判断を行った場合、CPU2406は以下のような動作をおこなう。LCDコントローラ2412を介して、表示装置2413のソース信号線駆動回路を停止させる。具体的には、ソース信号線駆動回路にスタートパルス、

クロック信号、映像データ信号の供給を停止することによって、ソース信号線駆動回路の動作を停止させることができる。このときゲート信号線駆動回路は停止はせずに、信号の供給を受け、記憶回路のデータを画素電極に供給する作用をおこなう。

【 0 0 3 8 】

ゲート信号線駆動回路はソース信号線駆動回路に比べて、一般的には、1 / 1 0 0 以下の周波数で駆動されるため、動作を停止しなくとも、消費電力上は問題にならない。もちろん、液晶の画質上の問題、例えば、焼きつき現象が発生しないような液晶材料を使用する場合には、ゲート信号線駆動回路を停止してもよい。このような動作によって、表示装置 2 4 1 3 はゲート信号線駆動回路のみ、または、ソース信号線駆動回路とゲート信号線駆動回路の両方の信号線駆動回路を停止させて、表示をおこなう。

【 0 0 3 9 】

次に、CPU 2 4 0 6 は、CPU 2 4 0 6 内部の映像信号処理回路 2 4 0 7 および、VRAM 2 4 1 1 を停止する。前述したように、表示装置 2 4 1 3 は、その内部の記憶回路に蓄えられた映像データで表示を行っているので、新たに映像データを表示装置に送り込む必要性がない、よって、映像データを発生、加工する映像信号処理回路 2 4 0 7、VRAM 2 4 1 1 などは動作していなくともかまわない。以上により、CPU 2 4 0 6 内部の電力削減、VRAM 2 4 1 1 の電力削減、ソース信号線駆動回路の電力削減が達成されるのである。

【 0 0 4 0 】

また、ペン入力タブレット 2 4 0 1 に入力がされ、映像信号が入力された場合は、ペン入力タブレットの検出回路 2 4 0 2 からタブレットインターフェイス 2 4 1 8 を介して、CPU 2 4 0 6 に表示内容を変えるような指示がだされ、CPU 2 4 0 6 は停止していた VRAM 2 4 1 1、映像信号処理回路 2 4 0 7 を動作させる。そして、LCD コントローラ 2 4 1 2 を介して、表示装置 2 4 1 3 のソース線信号駆動回路にスタートパルス、クロック信号、映像データを供給し、新たな映像信号を画素に書き込むことができる。

【 0 0 4 1 】

この様に、図 1 中、破線で囲った部分（ゲート信号線駆動回路、LCD コントローラ 2 4 1 2、ペン入力ダブレット 2 4 0 1、検出回路 2 4 0 2、ダブレットインターフェイス 2 4 1 8）が動作していれば、この携帯情報端末は静止画を表示し続けることができる。

【 0 0 4 2 】

図 2 は本発明を使用した携帯電話の例である。動作概要は図 1 の携帯情報端末とおおよそ同じである。携帯情報端末と異なるのは、携帯電話では、入力、キーボード 2 5 0 1 によって行われ、キーボードインターフェイス 2 5 1 8 を介して CPU 2 5 0 6 で制御されることと、外部からのデータは、電話会社の通信系を介して、アンテナに入力され、送受信回路 2 5 1 5 で増幅されたのち、CPU 2 5 0 6 で制御されることである。静止画を表示する場合は、携帯情報端末と同様に、映像信号処理回路 2 5 0 7、VRAM 2 5 1 1、ソース信号線駆動回路などは停止させることができる。

【 0 0 4 3 】

この様に、図 2 中、破線で囲った部分（ゲート信号線駆動回路、LCD コントローラ 2 5 1 2、キーボード 2 5 0 1、キーボードインターフェイス 2 5 1 8）が動作していれば、この携帯電話は静止画を表示し続けることができる。

【 0 0 4 4 】

次に、本発明の携帯情報装置が有する表示装置について説明する。

【 0 0 4 5 】

図 2 5 は、記憶回路を有する画素を用いた表示装置における、ソース信号線駆動回路および一部の画素の構成を示したものである。この回路は、3 ビットデジタル階調信号に対応したものであり、シフトレジスタ回路 2 0 1、第 1 のラッチ回路 2 0 2、第 2 のラッチ回路 2 0 3、ビット信号選択スイッチ 2 0 4、画素 2 0 5 を有する。2 1 0 は、ゲート信号線駆動回路あるいは外部から直接供給される信号であり、画素の説明とともに後述する。

【 0 0 4 6 】

図 2 4 は、図 2 5 における画素 2 0 5 における回路構成を詳細に示したものである。この画素は、3 ビットデジタル階調に対応したものであり、液晶素子（L

C)、保持容量(Cs)、記憶回路(105~107)及びD/Aコンバータ(D/A:111)等を有している。101はソース信号線、102~104は書き込み用ゲート信号線、108~110は書き込み用TFTである。

【0047】

図3は、図24に示した表示装置におけるタイミングチャートである。表示装置は3ビットデジタル階調、VGAのものを対象としている。図3、図24及び図25を用いて、駆動方法について説明する。なお、各番号は、図3、図24及び図25のものをそのまま用いる(図番は省略する)。

【0048】

図25および図3(A)(B)を参照する。図3(A)において、各フレーム期間を α 、 β 、 γ と表記して説明する。まず、区間 α における回路動作について説明する。

【0049】

従来のデジタル方式の駆動回路の場合と同様に、シフトレジスタ回路201にクロック信号(S-CLK、S-CLKb)およびスタートパルス(S-SP)が入力され、順次サンプリングパルスが出力される。続いて、サンプリングパルスは第1のラッチ回路202(LAT1)に入力され、同じく第1のラッチ回路202に入力されたデジタル映像信号(Digital Data)をそれぞれ保持していく。この期間を、本明細書においてはドットデータサンプリング期間と表記する。1水平期間分のドットデータサンプリング期間は、図3(A)において1~480で示す各期間である。デジタル映像信号は3ビットであり、D1がMSB(Most Significant Bit)、D3がLSB(Least Significant Bit)である。第1のラッチ回路202において、1水平周期分のデジタル映像信号の保持が完了すると、帰線期間中に、第1のラッチ回路202で保持されているデジタル映像信号は、ラッチ信号(Latch Pulse)の入力に従い、一斉に第2のラッチ回路203(LAT2)へと転送される。

【0050】

続いて、再びシフトレジスタ回路201から出力されるサンプリングパルスに従い、次水平周期分のデジタル映像信号の保持動作が行われる。

【 0 0 5 1 】

一方、第2のラッチ回路203に転送されたデジタル映像信号は、画素内に配置された記憶回路に書き込まれる。図3（B）に示すように、次列のドットデータサンプリング期間をI、IIおよびIIIと3分割し、第2のラッチ回路に保持されているデジタル映像信号をソース信号線に出力する。このとき、ビット信号選択スイッチ204によって、各ビットの信号が順番にソース信号線に出力されるように選択的に接続される。

【 0 0 5 2 】

期間Iでは、書き込み用ゲート信号線102にパルスが入力されてTF T 1 0 8が導通し、記憶回路105にデジタル映像信号が書き込まれる。続いて、期間IIでは、書き込み用ゲート信号線103にパルスが入力されてTF T 1 0 9が導通し、記憶回路106にデジタル映像信号が書き込まれる。最後に、期間IIIでは、書き込み用ゲート信号線104にパルスが入力されてTF T 1 1 0が導通し、記憶回路107にデジタル映像信号が書き込まれる。

【 0 0 5 3 】

以上で、1水平期間分のデジタル映像信号の処理が終了する。図3（B）の期間は、図3（A）において※印で示された期間である。以上の動作を最終段まで行うことにより、1フレーム分のデジタル映像信号が記憶回路105～107に書き込まれる。

【 0 0 5 4 】

書き込まれたデジタル映像信号は、D/A 1 1 1によってアナログ信号に変換され、液晶素子に入力される。このアナログ信号に応じて液晶素子の透過率が変化し、階調を表現する。ここでは、3ビットであるから、輝度は0～7までの8段階が得られる。

【 0 0 5 5 】

以上の動作を繰り返して、映像の表示が継続的に行われる。ここで、静止画を表示する場合には、最初の動作で記憶回路105～107にいったんデジタル映像信号が記憶されてからは、各フレーム期間で記憶回路105～107に記憶されたデジタル映像信号を反復して読み出せば良い。したがってこの静止画が表示

されている期間中は、ソース信号線駆動回路の駆動を停止させることが出来る。

【0056】

さらに、記憶回路へのデジタル映像信号の書き込み、あるいは記憶回路からのデジタル映像信号の読み出しは、ゲート信号線1本単位で行うことが可能である。すなわち、ソース信号線駆動回路を短期間のみ動作させ、画面の一部のみを書き換えるなどといった表示方法をとることも出来る。

【0057】

また、本実施形態においては、1画素内に3つの記憶回路を有し、3ビットのデジタル映像信号を1フレーム分だけ記憶する機能を有しているが、本発明はこの数に限定しない。つまり、 n ビットのデジタル映像信号を m フレーム分だけ記憶するには、1画素内に $n \times m$ 個の記憶回路を有していれば良い。

【0058】

以上の方法により、画素内に実装された記憶回路を用いてデジタル映像信号の記憶を行うことにより、静止画を表示する際に各フレーム期間で記憶回路に記憶されたデジタル映像信号を反復して用い、ソース信号線駆動回路を駆動することなく、継続的に静止画表示が可能となる。よって、液晶表示装置の低消費電力化に大きく貢献することが出来る。

【0059】

また、ソース信号線駆動回路に関しては、ビット数に応じて増加するラッチ回路等の配置の問題から、必ずしも絶縁体上に一体形成する必要はなく、その一部あるいは全部を外付けで構成しても良い。

【0060】

さらに、本実施形態にて示したソース信号線駆動回路においては、ビット数に応じたラッチ回路を配置しているが、1ビット分のみ配置して動作させることも可能である。この場合、上位ビットから下位ビットのデジタル映像信号を直列にラッチ回路に入力すれば良い。

【0061】

本発明では、前述した様にゲート信号線1本単位での信号の書き換えも可能である。この場合は、ゲート信号線駆動回路としてデコーダを使うのが望ましい。

ゲート信号線駆動回路としてデコーダを使用した例を図 2 3 に示す。

【0 0 6 2】

デコーダを使用する場合には、特開平 8 - 1 0 1 6 0 9 に開示された回路を用いればよい。

【0 0 6 3】

また、ソース信号線駆動回路にもこれを用いて、部分書き換えを行うことができる。

【0 0 6 4】

この様な構成により、本発明の携帯情報装置は静止画表示中に動作しつづける部分を少なくし、消費電力を低減することができる。

【0 0 6 5】

【実施例】

以下に本発明の実施例について記述する。

【0 0 6 6】

〔実施例 1〕

本実施例においては、実施形態において示した液晶表示装置の画素部の回路における記憶回路及び D/A コンバータを、具体的にトランジスタ等を用いて構成し、その動作について説明する。

【0 0 6 7】

図 8 は、図 2 4 に示した画素と同様のもので、D/A コンバータ 1 1 1 を実際に回路で構成した例である。D/A コンバータ 1 1 1 として、複数の階調電圧線を選択する方式のものを用いた。

【0 0 6 8】

3 ビットのデジタル映像信号を処理する場合、8 本の階調電圧線があり、それぞれにスイッチ T F T が接続されている。記憶回路 1 0 5 ~ 1 0 7 からの出力は、デコーダを介して、それらのスイッチング T F T を選択的に駆動する。これにより、デジタル映像信号に応じた階調電圧が、液晶素子 L c 及び保持容量 C s に入力される。

【0 0 6 9】

図中、各部に付した番号において、図 2 4 と同じ部位については、図 2 4 と同じ番号を付している。記憶回路 1 0 5 ~ 1 0 7 の各々に、書き込み選択用 T F T 1 0 8 ~ 1 1 0 を設け、記憶回路選択信号線 1 0 2 ~ 1 0 4 をもって制御する。

【 0 0 7 0 】

図 4 は、記憶回路の一例を示したものである。点線枠 4 5 0 で示される部分が記憶回路（図 8 中、1 0 5 ~ 1 0 7 で示す部分）であり、4 5 1 は書き込み選択用 T F T である。ここで示した記憶回路には、フリップフロップを利用したスタティック型メモリ（Static RAM : SRAM）を用いているが、記憶回路に関してはこの構成に限定しない。

【 0 0 7 1 】

本実施例にて図 8 で示した回路の駆動は、実施形態にて図 3 を用いて示したタイミングチャートに従って駆動することが出来る。図 3、図 8 を用いて、記憶回路選択部の実際の駆動方法を加えて、回路動作について説明する。なお、各番号は、図 3、図 8 のものをそのまま用いる（図番は省略する）。

【 0 0 7 2 】

図 3（A）（B）を参照する。図 3（A）において、各フレーム期間を α 、 β 、 γ と表記して説明する。まず、区間 α における回路動作について説明する。

【 0 0 7 3 】

シフトレジスタ回路から第 2 のラッチ回路までの駆動方法に関しては実施形態にて示したものと同様であるのでそれに従う。

【 0 0 7 4 】

期間 I では、書き込み用ゲート信号線 1 0 2 にパルスが入力されて T F T 1 0 8 が導通し、記憶回路 1 0 5 にデジタル映像信号が書き込まれる。続いて、期間 II では、書き込み用ゲート信号線 1 0 3 にパルスが入力されて T F T 1 0 9 が導通し、記憶回路 1 0 6 にデジタル映像信号が書き込まれる。最後に、期間 III では、書き込み用ゲート信号線 1 0 4 にパルスが入力されて T F T 1 1 0 が導通し、記憶回路 1 0 7 にデジタル映像信号が書き込まれる。

【 0 0 7 5 】

以上で、1 水平期間分のデジタル映像信号の処理が終了する。図 3（B）の期

間は、図3（A）において※印で示された期間である。以上の動作を最終段まで行うことにより、1フレーム分のデジタル映像信号が記憶回路105～107に書き込まれる。

【0076】

書き込まれたデジタル映像信号は、D/A111によってアナログ階調信号に変換され、液晶素子に入力される。このアナログ階調信号に応じて液晶素子の透過率は変化し、階調を表現する。ここでは、3ビットであるから、輝度は0～7までの8段階が得られる。

【0077】

以上のようにして、1フレーム期間分の表示が行われる。一方、駆動回路側では、同時に次のフレーム期間のデジタル映像信号の処理が行われている。第2のラッチ回路までのデジタル映像信号の転送までは前述と同様の手順である。

【0078】

以上の手順を繰り返すことにより、映像の表示を行う。なお、静止画の表示を行う場合には、あるフレームのデジタル映像信号の、記憶回路への書き込みが終了したら、ソース信号線駆動回路を停止させ、同じ記憶回路に書き込まれている信号を毎フレームで読み込んで表示を行う。このような方法により、静止画の表示中における消費電力を大きく低減することが出来る。

【0079】

[実施例2]

本実施例においては、画素部の記憶回路への書き込みを点順次で行うことにより、ソース信号線駆動回路の第2のラッチ回路を省略した例について記す。

【0080】

図5は、記憶回路を有する画素を用いた液晶表示装置における、ソース信号線駆動回路および一部の画素の構成を示したものである。この回路は、3ビットデジタル階調信号に対応したものであり、シフトレジスタ回路501、ラッチ回路502、画素503を有する。510は、ゲート信号線駆動回路あるいは外部から直接供給される信号であり、画素の説明とともに後述する。

【0081】

図 6 は、図 5 に示した画素 5 0 3 の回路構成の詳細図である。実施例 1 と同様、3 ビットデジタル階調に対応したものであり、液晶素子 (LC)、保持容量 (Cs)、記憶回路 (6 0 5 ~ 6 0 7) 及び D/A コンバータ (D/A : 6 1 1) 等を有している。6 0 1 は第 1 ビット (MSB) 信号用ソース信号線、6 0 2 は第 2 ビット信号用ソース信号線、6 0 3 は第 3 ビット (LSB) 信号用ソース信号線、6 0 4 は書き込み用ゲート信号線、6 0 8 ~ 6 1 0 は書き込み用 TFT である。

【0082】

図 7 は、本実施例にて示した回路の駆動に関するタイミングチャートである。図 6 および図 7 を用いて説明する。

【0083】

シフトレジスタ回路 5 0 1 からラッチ回路 (LAT1) 5 0 2 までの動作は実施形態および実施例 1 と同様に行われる。図 7 (B) に示すように、第 1 段目のラッチ動作が終了すると、直ちに画素の記憶回路への書き込みを開始する。書き込み用ゲート信号線 6 0 4 にパルスが入力され、書き込み用 TFT 6 0 8 ~ 6 1 0 が導通し、記憶回路への書き込みが可能な状態となる。ラッチ回路 5 0 2 に保持されたビット毎のデジタル映像信号は、3 本のソース信号線 6 0 1 ~ 6 0 3 を経由して、同時に書き込まれる。

【0084】

第 1 段目でラッチ回路に保持されたデジタル映像信号が、記憶回路へ書き込まれているとき、次段では続くサンプリングパルスに従って、ラッチ回路においてデジタル映像信号の保持が行われている。このようにして、順次記憶回路への書き込みが行われていく。

【0085】

以上で、1 フレーム目の表示期間が完了する。区間 β では、次のフレームにおけるデジタル映像信号の処理が行われる。ラッチ回路 5 0 2 へのデジタル映像信号の保持までは前述と同様の手順である。

【0086】

以上の手順を繰り返すことにより、映像の表示を行う。なお、静止画の表示を

行う場合には、あるフレームのデジタル映像信号の、記憶回路への書き込みが終了したら、ソース信号線駆動回路を停止させ、同じ記憶回路に書き込まれている信号を毎フレームで読み込んで表示を行う。このような方法により、静止画の表示中における消費電力を大きく低減することが出来る。さらに、実施例 1 にて示した回路と比較すると、ラッチ回路の数を $1/2$ とすることが出来、回路配置の省スペース化による装置全体の小型化に貢献出来る。

【0087】

[実施例 3]

本実施例においては、実施例 2 にて示した、第 2 のラッチ回路を省略した液晶表示装置の回路構成を応用し、線順次駆動により画素内の記憶回路への書き込みを行う方法を用いた液晶表示装置の例について記す。

【0088】

図 17 は、本実施例にて示す液晶表示装置のソース信号線駆動回路の回路構成例を示している。この回路は、3 ビットデジタル階調信号に対応したものであり、シフトレジスタ回路 1701、ラッチ回路 1702、スイッチ回路 1703、画素 1704 を有する。1710 は、ゲート信号線駆動回路あるいは外部から直接供給される信号である。画素の回路構成に関しては、実施例 2 のものと同様で良いので、図 6 をそのまま参照する。

【0089】

図 18 は、本実施例にて示した回路の駆動に関するタイミングチャートである。図 6、図 17 および図 18 を用いて説明する。

【0090】

シフトレジスタ回路 1701 からサンプリングパルスが出力され、ラッチ回路 1702 で、サンプリングパルスに従ってデジタル映像信号を保持するまでの動作は、実施例 1 および実施例 2 と同様である。本実施例では、ラッチ回路 1702 と画素 1704 内の記憶回路との間に、スイッチ回路 1703 を有しているため、ラッチ回路でのデジタル映像信号の保持が完了しても、直ちに記憶回路への書き込みが開始されない。ドットデータサンプリング期間が終了するまでの間は、スイッチ回路 1703 は閉じたままであり、その間、ラッチ回路ではデジタル

映像信号が保持され続ける。

【0091】

図18(B)に示すように、1水平期間分のデジタル映像信号の保持が完了すると、その後の帰線期間中にラッチ信号(Latch Pulse)が入力されてスイッチ回路1703が一斉に開き、ラッチ回路1702で保持されていたデジタル映像信号は一斉に画素1704内の記憶回路に書き込まれる。このときの書き込み動作に関わる、画素1704内の動作、さらに次のフレーム期間における表示の再の読み出し動作に関わる、画素1704内の動作については、実施例2と同様で良いので、ここでは説明を省略する。

【0092】

以上の方法によって、ラッチ回路を省略したソース信号線駆動回路においても、線順次の書き込み駆動を容易に行うことが出来る。

【0093】

[実施例4]

本実施例では、図8で示したD/Aコンバータとは異なる構造のものを用いた画素の例を示す。図9に、その回路図を示す。なお、図8と同じ部分は同じ符号で示す。

【0094】

図8で示したものと同様に階調電圧線を選択する方式であるが、図8では、素子の数が多く、画素内で素子の占める面積が大きくなる。そのため、図9では、スイッチを直列接続し、デコーダとスイッチを兼ねて素子数を減らしている。

【0095】

[実施例5]

本実施例では、図8や図9で示したD/Aコンバータとは異なる構造のものを用いた画素の例を示す。図20に、その回路図を示す。なお、図8及び図9と同じ部分は同じ符号で示す。

【0096】

図8や図9で示したD/Aコンバータでは、階調電圧線を用いるため、階調数の分だけ配線が必要となり、多階調化には適さない。そのため、図20では、容

量C 1 ~ C 3 の組み合わせによって、基準電圧を分圧し、階調電圧を作っている。この様な容量分割方式では、容量C 1 ~ C 3 の比で階調が作られるため、多様な階調が表現可能である。

【0 0 9 7】

この様な容量分割方式のD / A コンバータは、AMLCD99 Digest of Technical Papers p29~32に記載してある。

【0 0 9 8】

[実施例 6]

本実施例では、図 8 や図 9 及び図 2 0 で示したD / A コンバータとは異なる構造のものを示した画素の例を示す。図 2 1 に、その回路図を示す。なお、図 8 や図 9 及び図 2 0 と同じ部分は同じ符号で示す。

【0 0 9 9】

図 2 1 に示したものは、図 2 0 のD / A コンバータをさらに簡略化したものである。容量C 1 ~ C 3 それぞれの 2 つの電極のうち液晶素子と接続されていない方の電極は、リセット時には V_L に接続され、非リセット時には、 V_H または V_L のいずれかに接続されるが、その接続をスイッチのみで構成できる。

【0 1 0 0】

[実施例 7]

本実施例では、実施形態で示した図 2 5 とは異なった構造のソース信号線駆動回路の例を示す。

【0 1 0 1】

図 2 2 に示す様に、ソース信号線駆動回路のラッチ回路を 1 ビット分のみ有し、代わりにソース信号線駆動回路を 3 倍の速度で動作させ、1 ライン期間中に、第 1 ビットデータ、第 2 ビットデータ、第 3 ビットデータの順にデータをソース信号線駆動回路に入力し、実施例 1 のソース信号線駆動回路と同様の効果を得られる。

【0 1 0 2】

この方式では、外部にデータを順に入れ替えるための回路が必要であるが、ソース信号線駆動回路は小さくすることが可能である。

【 0 1 0 3 】

[実施例 8]

本実施例では、本発明の携帯情報装置の表示装置の画素部とその周辺に設けられる駆動回路部（ソース信号線駆動回路、ゲート信号線駆動回路）の T F T を同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路部に関しては基本単位である C M O S 回路を図示することとする。

【 0 1 0 4 】

まず、図 1 0 (A) に示すように、コーニング社の # 7 0 5 9 ガラスや # 1 7 3 7 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板 5 0 0 1 上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜 5 0 0 2 を形成する。例えば、プラズマ C V D 法で $S i H_4$ 、 $N H_3$ 、 $N_2 O$ から作製される酸化窒化シリコン膜 5 0 0 2 a を 1 0 ~ 2 0 0 [nm]（好ましくは 5 0 ~ 1 0 0 [nm]）形成し、同様に $S i H_4$ 、 $N_2 O$ から作製される酸化窒化水素化シリコン膜 5 0 0 2 b を 5 0 ~ 2 0 0 [nm]（好ましくは 1 0 0 ~ 1 5 0 [nm]）の厚さに積層形成する。本実施例では下地膜 5 0 0 2 を 2 層構造として示したが、前記絶縁膜の単層膜または 2 層以上積層させた構造として形成しても良い。

【 0 1 0 5 】

島状半導体層 5 0 0 3 ~ 5 0 0 6 は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層 5 0 0 3 ~ 5 0 0 6 の厚さは 2 5 ~ 8 0 [nm]（好ましくは 3 0 ~ 6 0 [nm]）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（ $S i G e$ ）合金などで形成すると良い。

【 0 1 0 6 】

レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーや Y A G レーザー、 $Y V O_4$ レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振

周波数 3 0 [Hz] とし、レーザーエネルギー密度を $100 \sim 400$ [mJ/cm^2] (代表的には $200 \sim 300$ [mJ/cm^2]) とする。また、YAG レーザーを用いる場合にはその第 2 高調波を用いパルス発振周波数 $1 \sim 10$ [kHz] とし、レーザーエネルギー密度を $300 \sim 600$ [mJ/cm^2] (代表的には $350 \sim 500$ [mJ/cm^2]) とすると良い。そして幅 $100 \sim 1000$ [μm]、例えば 400 [μm] で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率 (オーバーラップ率) を $80 \sim 98$ [%] として行う。

【 0 1 0 7 】

次いで、島状半導体層 5 0 0 3 ~ 5 0 0 6 を覆うゲート絶縁膜 5 0 0 7 を形成する。ゲート絶縁膜 5 0 0 7 はプラズマ CVD 法またはスパッタ法を用い、厚さを $40 \sim 150$ [nm] としてシリコンを含む絶縁膜で形成する。本実施例では、 120 [nm] の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマ CVD 法で T E O S (Tetraethyl Orthosilicate) と O_2 とを混合し、反応圧力 40 [Pa]、基板温度 $300 \sim 400$ [$^{\circ}\text{C}$] とし、高周波 (13.56 [MHz])、電力密度 $0.5 \sim 0.8$ [W/cm^2] で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後 $400 \sim 500$ [$^{\circ}\text{C}$] の熱アニールによりゲート絶縁膜として良好な特性を得ることが出来る。

【 0 1 0 8 】

そして、ゲート絶縁膜 5 0 0 7 上にゲート電極を形成するための第 1 の導電膜 5 0 0 8 と第 2 の導電膜 5 0 0 9 とを形成する。本実施例では、第 1 の導電膜 5 0 0 8 を Ta で $50 \sim 100$ [nm] の厚さに形成し、第 2 の導電膜 5 0 0 9 を W で $100 \sim 300$ [nm] の厚さに形成する。

【 0 1 0 9 】

Ta 膜はスパッタ法で、Ta のターゲットを Ar でスパッタすることにより形成する。この場合、Ar に適量の Xe や Kr を加えると、Ta 膜の内部応力を緩和して膜の剥離を防止することが出来る。また、 α 相の Ta 膜の抵抗率は 20 [$\mu\Omega\text{cm}$] 程度でありゲート電極に使用することが出来るが、 β 相の Ta 膜の抵抗

率は $180 [\mu \Omega \text{cm}]$ 程度でありゲート電極とするには不向きである。 α 相の Ta 膜を形成するために、Ta の α 相に近い結晶構造をもつ窒化タンタルを $10 \sim 50 [\text{nm}]$ 程度の厚さで Ta の下地に形成しておくことと α 相の Ta 膜を容易に得ることが出来る。

【0110】

W 膜を形成する場合には、W をターゲットとしたスパッタ法で形成する。その他に 6 フッ化タングステン (WF_6) を用いる熱 CVD 法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W 膜の抵抗率は $20 [\mu \Omega \text{cm}]$ 以下にすることが望ましい。W 膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、W 中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度 $99.9999 [\%]$ の W ターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮して W 膜を形成することにより、抵抗率 $9 \sim 20 [\mu \Omega \text{cm}]$ を実現することが出来る。

【0111】

なお、本実施例では、第 1 の導電膜 5008 を Ta、第 2 の導電膜 5009 を W としたが、特に限定されず、いずれも Ta、W、Ti、Mo、Al、Cu などから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の組み合わせの一例で望ましいものとしては、第 1 の導電膜 5008 を窒化タンタル (TaN) で形成し、第 2 の導電膜 5009 を W とする組み合わせ、第 1 の導電膜 5008 を窒化タンタル (TaN) で形成し、第 2 の導電膜 5009 を Al とする組み合わせ、第 1 の導電膜 5008 を窒化タンタル (TaN) で形成し、第 2 の導電膜 5009 を Cu とする組み合わせ等が挙げられる。

【0112】

次に、レジストによるマスク 5010 を形成し、電極及び配線を形成するための第 1 のエッチング処理を行う。本実施例では ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスに CF_4 と

Cl_2 を混合し、1 [Pa]の圧力でコイル型の電極に500 [W]のRF (13.56 [MHz])電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100 [W]のRF (13.56 [MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。 CF_4 と Cl_2 を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0113】

上記エッチング条件では、レジストによるマスクの形状を適したものとするこ
とにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の
導電層の端部がテーパ形状となる。テーパ部の角度は $15 \sim 45^\circ$ となる。
ゲート絶縁膜上に残渣を残すことなくエッチングするためには、 $10 \sim 20$ [%]
程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコ
ン膜の選択比は $2 \sim 4$ (代表的には 3)であるので、オーバーエッチング処理に
より、酸化窒化シリコン膜が露出した面は $20 \sim 50$ [nm]程度エッチングされる
ことになる。こうして、第1のエッチング処理により第1の導電層と第2の導電
層から成る第1の形状の導電層5011 \sim 5016 (第1の導電層5011a \sim
5016aと第2の導電層5011b \sim 5016b)を形成する。このとき、ゲ
ート絶縁膜5007においては、第1の形状の導電層5011 \sim 5016で覆わ
れない領域は $20 \sim 50$ [nm]程度エッチングされ薄くなった領域が形成される。
(図10 (A))

【0114】

そして、第1のドーピング処理を行いN型を付与する不純物元素を添加する。
ドーピングの方法はイオンドーブ法もしくはイオン注入法で行えば良い。イオン
ドーブ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14}$ [atoms/cm²]とし、加速電
圧を $60 \sim 100$ [keV]として行う。N型を付与する不純物元素として15族に
属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリ
ン(P)を用いる。この場合、導電層5011 \sim 5016がN型を付与する不純
物元素に対するマスクとなり、自己整合的に第1の不純物領域5017 \sim 502
0が形成される。第1の不純物領域5017 \sim 5020には $1 \times 10^{20} \sim 1 \times 1$
 0^{21} [atoms/cm³]の濃度範囲でN型を付与する不純物元素を添加する。(図10

(B))

【0 1 1 5】

次に、図 1 0 (C) に示すように、レジストマスクは除去しないまま、第 2 のエッチング処理を行う。エッチングガスに CF_4 と Cl_2 と O_2 とを用い、W 膜を選択的にエッチングする。この時、第 2 のエッチング処理により第 2 の形状の導電層 5 0 2 1 ~ 5 0 2 6 (第 1 の導電層 5 0 2 1 a ~ 5 0 2 6 a と第 2 の導電層 5 0 2 1 b ~ 5 0 2 6 b) を形成する。このとき、ゲート絶縁膜 5 0 0 7 においては、第 2 の形状の導電層 5 0 2 1 ~ 5 0 2 6 で覆われない領域はさらに 2 0 ~ 5 0 [nm] 程度エッチングされ薄くなった領域が形成される。

【0 1 1 6】

W 膜や T a 膜の CF_4 と Cl_2 の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。W と T a のフッ化物と塩化物の蒸気圧を比較すると、W のフッ化物である WF_6 が極端に高く、その他の WCl_5 、 TaF_5 、 TaCl_5 は同程度である。従って、 CF_4 と Cl_2 の混合ガスでは W 膜及び T a 膜共にエッチングされる。しかし、この混合ガスに適量の O_2 を添加すると CF_4 と O_2 が反応して CO と F になり、F ラジカルまたは F イオンが多量に発生する。その結果、フッ化物の蒸気圧が高い W 膜のエッチング速度が増大する。一方、T a は F が増大しても相対的にエッチング速度の増加は少ない。また、T a は W に比較して酸化されやすいので、 O_2 を添加することで T a の表面が酸化される。T a の酸化物はフッ素や塩素と反応しないためさらに T a 膜のエッチング速度は低下する。従って、W 膜と T a 膜とのエッチング速度に差を作ることが可能となり W 膜のエッチング速度を T a 膜よりも大きくすることが可能となる。

【0 1 1 7】

そして、図 1 1 (A) に示すように第 2 のドーピング処理を行う。この場合、第 1 のドーピング処理よりもドーズ量を下げて高い加速電圧の条件として N 型を付与する不純物元素をドーピングする。例えば、加速電圧を 7 0 ~ 1 2 0 [keV] とし、 $1 \times 1 0^{13}$ [atoms/cm²] のドーズ量で行い、図 1 0 (B) で島状半導体層に形成された第 1 の不純物領域の内側に新たな不純物領域を形成する。ドーピン

グは、第2の形状の導電層5021～5026を不純物元素に対するマスクとして用い、第1の導電層5021a～5026aの下側の領域の半導体層にも不純物元素が添加されるようにドーピングする。こうして、第2の不純物領域5027～5031が形成される。この第2の不純物領域5027～5031に添加されたリン(P)の濃度は、第1の導電層5021a～5026aのテーパ部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層5021a～5026aのテーパ部と重なる半導体層において、第1の導電層5021a～5026aのテーパ部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

【0118】

続いて、図11(B)に示すように第3のエッチング処理を行う。エッチングガスに CHF_6 を用い、反応性イオンエッチング法(RIE法)を用いて行う。第3のエッチング処理により、第1の導電層5021a～5026aのテーパ部を部分的にエッチングして、第1の導電層が半導体層と重なる領域が縮小される。第3のエッチング処理によって、第3の形状の導電層5032～5037(第1の導電層5032a～5037aと第2の導電層5032b～5037b)を形成する。このとき、ゲート絶縁膜5007においては、第3の形状の導電層5032～5037で覆われない領域はさらに20～50[nm]程度エッチングされ薄くなった領域が形成される。

【0119】

第3のエッチング処理によって、第2の不純物領域5027～5031においては、第1の導電層5032a～5037aと重なる第2の不純物領域5027a～5031aと、第1の不純物領域と第2の不純物領域との間の第3の不純物領域5027b～5031bとが形成される。

【0120】

そして、図11(C)に示すように、Pチャネル型TFETを形成する島状半導体層5004に、第1の導電型とは逆の導電型の第4の不純物領域5039～5044を形成する。第3の形状の導電層5033bを不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、Nチャネル型TF

Tを形成する島状半導体層5003、5005、保持容量部5006および配線部5034はレジストマスク5038で全面を被覆しておく。不純物領域5039～5044にはそれぞれ異なる濃度でリンが添加されているが、ジボラン(B_2H_6)を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度が $2 \times 10^{20} \sim 2 \times 10^{21} [\text{atoms/cm}^3]$ となるようにする。

【0121】

以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第3の形状の導電層5032、5033、5035、5036がゲート電極として機能する。また、5034は島状のソース信号線として機能する。5037は容量配線として機能する。

【0122】

レジストマスク5038を除去した後、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーストアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することが出来る。熱アニール法では酸素濃度が1 [ppm]以下、好ましくは0.1 [ppm]以下の窒素雰囲気中で400～700 [°C]、代表的には500～600 [°C]で行うものであり、本実施例では500 [°C]で4時間の熱処理を行う。ただし、第3の形状の導電層5037～5042に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成分とする)を形成した後で活性化を行うことが好ましい。

【0123】

さらに、3～100 [%]の水素を含む雰囲気中で、300～450 [°C]で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0124】

次いで、第1の層間絶縁膜5045は酸化窒化シリコン膜から100～200

[nm]の厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜5046を形成する。次いで、コンタクトホールを形成するためのエッチング工程を行う。

【0125】

そして、駆動回路部において島状半導体層のソース領域とコンタクトを形成するソース配線5047、5048、ドレイン領域とコンタクトを形成するドレイン配線5049を形成する。また、画素部においては、接続電極5050、画素電極5051、5052を形成する(図12(A))。この接続電極5050により、ソース信号線5034は、画素TFTと電氣的な接続が形成される。なお、画素電極5052及び保持容量は隣り合う画素のものである。

【0126】

以上のようにして、Nチャネル型TFT、Pチャネル型TFTを有する駆動回路部と、画素TFT、保持容量を有する画素部とを同一基板上に形成することができる。本明細書中ではこのような基板をアクティブマトリクス基板と呼ぶ。

【0127】

本実施例は、ブラックマトリクスを用いることなく、画素電極間の隙間を遮光することができるように、画素電極の端部を信号線や走査線と重なるように配置されている。

【0128】

また、本実施例で示す工程に従えば、アクティブマトリクス基板の作製に必要なフォトリソマスクの数を5枚(島状半導体層パターン、第1配線パターン(走査線、信号線、容量配線)、Pチャネル領域のマスクパターン、コンタクトホールパターン、第2配線パターン(画素電極、接続電極含む))とすることができる。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することができる。

【0129】

続いて、図12(B)の状態のアクティブマトリクス基板を得た後、アクティブマトリクス基板上に配向膜5053を形成しラビング処理を行う。

【0130】

一方、対向基板 5 0 5 4 を用意する。対向基板 5 0 5 4 にはカラーフィルター層 5 0 5 5 ～ 5 0 5 7、オーバーコート層 5 0 5 8 を形成する。カラーフィルター層は T F T の上方で赤色のカラーフィルター層 5 0 5 5 と青色のカラーフィルター層 5 0 5 6 とを重ねて形成し遮光膜を兼ねる構成とする。少なくとも T F T と、接続電極と画素電極との間を遮光する必要があるため、それらの位置を遮光するように赤色のカラーフィルターと青色のカラーフィルターを重ねて配置することが好ましい。

【 0 1 3 1 】

また、接続電極 5 0 5 0 に合わせて赤色のカラーフィルター層 5 0 5 5、青色のカラーフィルター層 5 0 5 6、緑色のカラーフィルター層 5 0 5 7 とを重ね合わせてスペーサを形成する。各色のカラーフィルターはアクリル樹脂に顔料を混合したもので 1 ～ 3 [μm] の厚さで形成する。これは感光性材料を用い、マスクを用いて所定のパターンに形成することができる。スペーサの高さはオーバーコート層 5 0 5 8 の厚さ 1 ～ 4 [μm] を考慮することにより 2 ～ 7 [μm]、好ましくは 4 ～ 6 [μm] とすることができ、この高さによりアクティブマトリクス基板と対向基板とを貼り合わせた時のギャップを形成する。オーバーコート層 5 0 5 8 は光硬化型または熱硬化型の有機樹脂材料で形成し、例えば、ポリイミドやアクリル樹脂などを用いる。

【 0 1 3 2 】

スペーサの配置は任意に決定すれば良いが、例えば図 1 2 (B) で示すように接続電極上に位置が合うように対向基板 5 0 5 4 上に配置すると良い。また、駆動回路部の T F T 上にその位置を合わせてスペーサを対向基板 5 0 5 4 上に配置してもよい。このスペーサは駆動回路部の全面に渡って配置しても良いし、ソース配線およびドレイン配線を覆うようにして配置しても良い。

【 0 1 3 3 】

オーバーコート層 5 0 5 8 を形成した後、対向電極 5 0 5 9 をパターンニング形成し、配向膜 5 0 6 0 を形成した後ラビング処理を行う。

【 0 1 3 4 】

そして、画素部と駆動回路部が形成されたアクティブマトリクス基板と対向基

板とをシール剤 5 0 6 2 で貼り合わせる。シール剤 5 0 6 2 にはフィラーが混入されていて、このフィラーとスペーサによって均一な間隔を持って 2 枚の基板が貼り合わせられる。その後、両基板の間に液晶材料 5 0 6 1 を注入し、封止剤（図示せず）によって完全に封止する。液晶材料 5 0 6 1 には公知の液晶材料を用いれば良い。このようにして図 1 2 （B）に示すアクティブマトリクス型液晶表示装置が完成する。

【 0 1 3 5 】

なお、上記の行程により作成されるアクティブマトリクス型液晶表示装置における T F T はトップゲート構造をとっているが、ボトムゲート構造の T F T やその他の構造の T F T に対しても本実施例は容易に適用され得る。

【 0 1 3 6 】

また、本実施例においては、ガラス基板上を使用しているが、ガラス基板に限らず、プラスチック基板、ステンレス基板、単結晶ウェハ等、ガラス基板以外のものを使用することによっても実施が可能である。

【 0 1 3 7 】

[実施例 9]

本発明の携帯情報装置の液晶表示装置は、その画素部に記憶回路を複数有するため、1 つの画素を構成する素子の数が通常の画素よりも多くなる。よって、透過型の液晶表示装置の場合、開口率の低下による輝度不足が考えられることから、本発明は、反射型の液晶表示装置に適用されるのが望ましい。本実施例において、作成工程の一例を示す。

【 0 1 3 8 】

実施例 8 に従い、図 1 9 （A）に示すアクティブマトリクス基板（図 1 2 （A）と同様）を作成する。続いて、第 3 の層間絶縁膜 5 2 0 1 として、樹脂膜を形成した後、画素電極部にコンタクトホールを開口し、反射電極 5 2 0 2 を形成する。反射電極 5 2 0 2 としては、A l、A g を主成分とする膜、あるいはそれらの積層膜等の、反射性に優れた材料を用いることが望ましい。

【 0 1 3 9 】

一方、対向基板 5 0 5 4 を用意する。対向基板 5 0 5 4 には、本実施例におい

ては対向電極 5 2 0 5 をパターンニングして形成している。対向電極 5 2 0 5 は、透明導電膜として形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物（ITO と呼ばれる）または酸化インジウムと酸化亜鉛との化合物からなる材料を用いることが出来る。

【 0 1 4 0 】

特に図示していないが、カラー液晶表示装置の作成の際には、カラーフィルタ層を形成する。このとき、隣接した色の異なるカラーフィルタ層を重ねて形成し、TFT 部分の遮光膜を兼ねる構成とすると良い。

【 0 1 4 1 】

その後、アクティブマトリクス基板および対向基板に、配向膜 5 2 0 3 および 5 2 0 4 を形成し、ラビング処理を行う。

【 0 1 4 2 】

そして、画素部と駆動回路部が形成されたアクティブマトリクス基板と対向基板とをシール剤 5 2 0 6 で貼り合わせる。シール剤 5 2 0 6 にはフィラーが混入されていて、このフィラーとスペーサによって均一な間隔を持って 2 枚の基板が貼り合わせられる。その後、両基板の間に液晶材料 5 2 0 7 を注入し、封止剤（図示せず）によって完全に封止する。液晶材料 5 2 0 7 には公知の液晶材料を用いれば良い。このようにして図 1 9 （B）に示す反射型の液晶表示装置が完成する。

【 0 1 4 3 】

なお、本実施例においては、ガラス基板に限らず、プラスチック基板、ステンレス基板、単結晶ウェハ等、ガラス基板以外のものを使用することも可能である。

【 0 1 4 4 】

また、画素の半分を反射電極、残る半分を透明電極とした、半透過型の表示装置として作成する場合にも、本発明は容易に適用することが出来る。

【 0 1 4 5 】

[実施例 1 0]

本実施例では、本発明の携帯情報装置の液晶表示装置を作製した例について、

図 2 7 を用いて説明する。

【0 1 4 6】

図 2 7 (A) は、T F T 基板と対向基板との間に液晶を封止することによって形成された液晶表示装置の上面図であり、図 2 7 (B) は、図 2 7 (A) の A - A' における断面図、図 2 7 (C) は図 2 7 (A) の B - B' における断面図である。

【0 1 4 7】

T F T 基板 4 0 0 1 上に設けられた画素部 4 0 0 2 と、ソース信号線駆動回路 4 0 0 3 と、第 1 及び第 2 のゲート信号線駆動回路 4 0 0 4 a、b とを囲むようにして、シール材 4 0 0 9 が設けられている。また画素部 4 0 0 2 と、ソース信号線駆動回路 4 0 0 3 と、第 1 及び第 2 のゲート信号線駆動回路 4 0 0 4 a、b との上に対向基板 4 0 0 8 が設けられている。T F T 基板 4 0 0 1 とシール材 4 0 0 9 と対向基板 4 0 0 8 とで囲まれた空間に液晶 4 2 1 0 が充填されている。

【0 1 4 8】

また T F T 基板 4 0 0 1 上に設けられた画素部 4 0 0 2 と、ソース信号線駆動回路 4 0 0 3 と、第 1 及び第 2 のゲート信号線駆動回路 4 0 0 4 a、b とは、複数の T F T を有している。図 2 7 (B) では代表的に、下地膜 4 0 1 0 上に形成された、ソース信号線駆動回路 4 0 0 3 に含まれる駆動 T F T (但し、ここでは n チャネル型 T F T と p チャネル型 T F T を図示する) 4 2 0 1 及び画素部 4 0 0 2 に含まれる画素 T F T (画素電極にかかる電圧を制御する T F T) 4 2 0 2 を図示した。

【0 1 4 9】

本実施例では、駆動 T F T 4 2 0 1 には公知の方法で作製された p チャネル型 T F T または n チャネル型 T F T が用いられ、画素 T F T 4 2 0 2 には公知の方法で作製された p チャネル型 T F T が用いられる。また、画素部 4 0 0 2 には画素 T F T 4 2 0 2 のゲートに接続された保持容量 (図示せず) が設けられる。

【0 1 5 0】

駆動 T F T 4 2 0 1 及び画素 T F T 4 2 0 2 上には層間絶縁膜 (平坦化膜) 4 3 0 1 が形成され、その上に画素 T F T 4 2 0 2 のドレインと電氣的に接続する

画素電極 4 2 0 3 が形成される。

【 0 1 5 1 】

対向基板 4 0 0 8 上には対向電極 4 2 0 5 が形成されている。なお図丸では図示していないが、カラーフィルターや偏光板を適宜設ける。そして対向電極 4 2 0 5 には所定の電圧が与えられている。

【 0 1 5 2 】

以上のようにして、画素電極 4 2 0 3、液晶 4 2 1 0 及び対向電極 4 2 0 5 からなる液晶セルが形成される。

【 0 1 5 3 】

4 0 0 5 は引き回し配線であり、画素部 4 0 0 2、ソース信号線駆動回路 4 0 0 3、第 1 のゲート信号線駆動回路 4 0 0 4 a、第 2 のゲート信号線駆動回路 4 0 0 4 b と外部の電源とを接続している。引き回し配線 4 0 0 5 a はシール材 4 0 0 9 と TFT 基板 4 0 0 1 との間を通り、異方導電性フィルム 4 3 0 0 を介して FPC 4 0 0 6 が有する FPC 用配線 4 3 0 1 に電氣的に接続される。

【 0 1 5 4 】

対向基板 4 0 0 8 としては、ガラス材、金属材（代表的にはステンレス材）、セラミックス材、プラスチック材（プラスチックフィルムも含む）を用いることができる。プラスチック材としては、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルを PVF フィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【 0 1 5 5 】

但し、画素電極からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【 0 1 5 6 】

図 2 7（C）に示すように、画素電極 4 2 0 3 が形成されると同時に、引き回し配線 4 0 0 5 a 上に接するように導電性膜 4 2 0 3 a が形成される。

【0157】

また、異方導電性フィルム4300は導電性フィラー4300aを有している。TFT基板4001とFPC4006とを熱圧着することで、TFT基板4001上の導電性膜4203aとFPC4006上のFPC用配線4301とが、導電性フィラー4300aによって電氣的に接続される。

【0158】

[実施例11]

本実施例では、本発明の携帯情報装置の液晶表示装置として、透過型の液晶表示装置を使用した場合の例を示す。

【0159】

デザインルールを1 μ mルール、画素ピッチを100ppi程度とすれば、画素内部の記憶回路及びD/Aコンバータ等は、ソース信号線の下に配置することが可能となり、開口率の低下の問題を解決することができる。これにより、本発明を反射型の液晶表示装置だけでなく透過型の液晶表示装置にも適用できる。

【0160】

図30に、上記構成の透過型液晶表示装置の画素の上面図を模式的に示す。

【0161】

3301は画素、3302～3304は記憶回路、3305はD/Aコンバータ（図中D/Aと記載）、3306は画素電極、3307はソース信号線である。なお、対向電極やカラーフィルタ及び保持容量等は図示していない。ここで、記憶回路302～3304及びD/Aコンバータ3305は、ソース信号線3307の下に形成されている。

【0162】

なお図示していないが、ソース信号線3307の下ではなくゲート信号線の下に、これらの記憶回路302～3304及びD/Aコンバータ3305等を配置することも可能である。

【0163】

[実施例12]

本発明の情報端末機器の液晶表示装置の画素においては、記憶回路としてスタ

ティック型メモリ (Static RAM : SRAM) を用いて構成していたが、記憶回路は SRAM のみに限定されない。本発明の情報端末機器の液晶表示装置の画素に適用可能な記憶回路には、他にダイナミック型メモリ (Dynamic RAM : DRAM) 等があげられる。

【 0 1 6 4 】

さらに、特に図示しないが、他の形式の記憶回路として、強誘電体メモリ (Ferroelectric RAM : FRAM) を利用して本発明の情報端末機器の液晶表示装置の画素を構成することも可能である。FRAM は、SRAM や DRAM と同等の書き込み速度を有する不揮発性メモリであり、その書き込み電圧が低い等の特徴を利用して、本発明の情報端末機器の液晶表示装置のさらなる低消費電力化が可能である。またその他、フラッシュメモリ等によっても、構成は可能である。

【 0 1 6 5 】

[実施例 1 3]

本実施例では、本発明の携帯情報端末の外観図について述べる。図 3 1 に示すのは本発明の構成を有する携帯情報端末であり、2 7 0 1 は表示用パネル、2 7 0 2 は操作用パネルである。表示用パネル 2 7 0 1 と操作用パネル 2 7 0 2 とは接続部 2 7 0 3 において接続されている。そして接続部 2 7 0 3 における、表示用パネル 2 7 0 1 の表示部 2 7 0 4 が設けられている面と操作用パネル 2 7 0 2 の操作キー 2 7 0 6 が設けられている面との角度 θ は、任意に変えることができる。

【 0 1 6 6 】

表示用パネル 2 7 0 1 は表示部 2 7 0 4 を有している。また図 3 1 に示した携帯情報端末は電話としての機能を有しており、表示用パネル 2 7 0 1 は音声出力部 2 7 0 5 を有しており、音声は音声出力部 2 7 0 5 から出力される。表示部 2 7 0 4 には液晶表示装置が用いられている。

【 0 1 6 7 】

表示部 2 7 0 4 のアスペクト比は 1 6 : 9、4 : 3 など任意に選択することができる。表示部 2 7 0 4 のサイズは対角 1 インチ ~ 4. 5 インチ程度が望ましい。

【0168】

操作用パネル2702は操作キー2706、電源スイッチ2707、音声入力部2708を有している。なお図31では操作キー2706と電源スイッチ2707とを別個に設けたが、操作キー2706の中に電源スイッチ2707が含まれる構成にしても良い。音声入力部2708において、音声が入力される。

【0169】

なお図31では表示用パネル2701が音声出力部2705を有し、操作用パネル2702が音声入力部2708を有しているが、本実施例はこの構成に限定されない。表示用パネル2701が音声入力部2708を有し、操作用パネルが音声出力部2705を有していても良い。また音声出力部2705と音声入力部2708とが共に表示用パネル2701に設けられていても良いし、音声出力部2705と音声入力部2708とが共に操作用パネル2702に設けられていても良い。

【0170】

なお図32では図31で示した携帯情報端末の操作キー2706を人差し指で操作している例について示した。また図33では図31で示した携帯情報端末の操作キー2706を親指で操作している例について示した。なお操作キー2706は操作用パネル2702の側面に設けても良い。操作は片手（きき手）の人差し指のみ、または親指のみでも可能である。

【0171】

[実施例14]

本実施例では、本発明の携帯情報装置を応用した電子機器について、図28及び図29を用いて説明する。

【0172】

本発明の携帯情報装置としてパーソナルコンピュータがある。図28(A)はパーソナルコンピュータであり、本体2801、画像入力部2802、表示部2803、キーボード2804等を含む。表示部2803として、画素毎に記憶回路を有する液晶表示装置を用いることで、パーソナルコンピュータの低消費電力化を実現できる。

【0173】

本発明の携帯情報装置としてナビゲーション装置がある。図28(B)はナビゲーション装置であり、本体2811、表示部2812、スピーカ部2813、記憶媒体2814、操作スイッチ2815等を含む。表示部2812として、画素毎に記憶回路を有する液晶表示装置を用いることで、ナビゲーション装置の低消費電力化を実現できる。

【0174】

本発明の携帯情報装置として電子書籍がある。図28(C)は電子書籍であり、本体2851、表示部2852、記憶媒体2853、操作スイッチ2854、アンテナ2855等を含み、ミニディスク(MD)やDVD(Digital Versatile Disc)に記憶されたデータや、アンテナで受信したデータを表示するものである。表示部2852として、画素毎に記憶回路を有する液晶表示装置を用いることで、電子書籍の低消費電力化を実現できる。

【0175】

本発明の携帯情報装置として携帯電話がある。図29(A)は携帯電話であり、表示用パネル2901、操作用パネル2902、接続部2903、表示部2904、音声出力部2905、操作キー2906、電源スイッチ2907、音声入力部2908、アンテナ2909、CCD受光部2910、外部入力ポート2011等を含む。表示部2904として、画素毎に記憶回路を有する液晶表示装置を用いることで、携帯電話の低消費電力化を実現できる。

【0176】

本発明の携帯情報装置としてPDAがある。図29(B)はPDAであり、表示部及びペン入力ダブレット3004、操作キー3006、電源スイッチ3007、外部入力ポート3011、入力用ペン3012等を含む。表示部3004として、画素毎に記憶回路を有する液晶表示装置を用いることで、PDAの低消費電力化を実現できる。

【0177】

【発明の効果】

液晶表示装置を組み込んだ携帯情報装置において、各画素の内部に配置された

複数の記憶回路を用いてデジタル映像信号の記憶を行うことにより、静止画を表示する際に各フレーム期間で記憶回路に記憶されたデジタル映像信号を反復して用い、継続的に静止画表示を行う際に、ソース信号線駆動回路を停止させておくことが可能となる。また、液晶表示装置に入力する信号を処理する、映像信号処理回路等の回路も、継続的に静止画表示を行う際は、停止させておくことが可能になるため、携帯情報装置の低消費電力化に大きく貢献する。

【図面の簡単な説明】

【図 1】 本発明を用いた携帯情報端末のブロック図。

【図 2】 本発明を用いた携帯電話のブロック図。

【図 3】 本発明の携帯情報装置の液晶表示装置の画素を用いて表示を行うためのタイミングチャートを示す図。

【図 4】 複数の記憶回路を内部に有する本発明の携帯情報装置の液晶表示装置の画素の詳細な回路図。

【図 5】 第 2 のラッチ回路を持たないソース信号線駆動回路の回路構成例を示す図。

【図 6】 図 5 のソース信号線駆動回路によって駆動される、本発明の携帯情報装置の液晶表示装置の画素の詳細な回路図。

【図 7】 図 5 および図 6 に記載の回路を用いて表示を行うためのタイミングチャートを示す図。

【図 8】 本発明の携帯情報装置の液晶表示装置の D/A コンバータの構成を示す図。

【図 9】 本発明の携帯情報装置の液晶表示装置の D/A コンバータの構成を示す図。

【図 10】 本発明の携帯情報装置の液晶表示装置の作成工程例を示す図。

【図 11】 本発明の携帯情報装置の液晶表示装置の作成工程例を示す図。

【図 12】 本発明の携帯情報装置の液晶表示装置の作成工程例を示す図。

【図 13】 従来の携帯情報装置の液晶表示装置の全体の回路構成を簡略に示す図。

【図 14】 従来の携帯情報装置の液晶表示装置のソース信号線駆動回路の

回路構成例を示す図。

【図 1 5】 従来の携帯情報端末のブロック図。

【図 1 6】 従来の携帯電話のブロック図。

【図 1 7】 第 2 のラッチ回路を持たないソース信号線駆動回路の回路構成例を示す図。

【図 1 8】 図 1 7 に記載の回路を用いて表示を行うためのタイミングチャートを示す図。

【図 1 9】 反射型液晶表示装置の作成工程例を示す図。

【図 2 0】 本発明の携帯情報装置の液晶表示装置の D / A コンバータの構成を示す図。

【図 2 1】 本発明の携帯情報装置の液晶表示装置の D / A コンバータの構成を示す図。

【図 2 2】 1 ビット処理分のラッチ回路を有するソース信号線駆動回路の回路構成例を示す図。

【図 2 3】 デコーダを用いたゲート信号線駆動回路の例を示す図。

【図 2 4】 複数の記憶回路を内部に有する本発明の携帯情報装置の液晶表示装置の画素の回路図。

【図 2 5】 本発明の携帯情報装置の液晶表示装置の画素を用いて表示を行うためのソース信号線駆動回路の回路構成例を示す図。

【図 2 6】 携帯電話の送受信部のブロック図。

【図 2 7】 本発明の携帯情報装置の液晶表示装置の上面図及び断面図。

【図 2 8】 本発明の携帯情報装置の応用例を示す図。

【図 2 9】 本発明の携帯情報装置の応用例を示す図。

【図 3 0】 本発明の携帯情報装置の液晶表示装置の画素の上面図。

【図 3 1】 本発明の携帯情報端末の例を示す図。

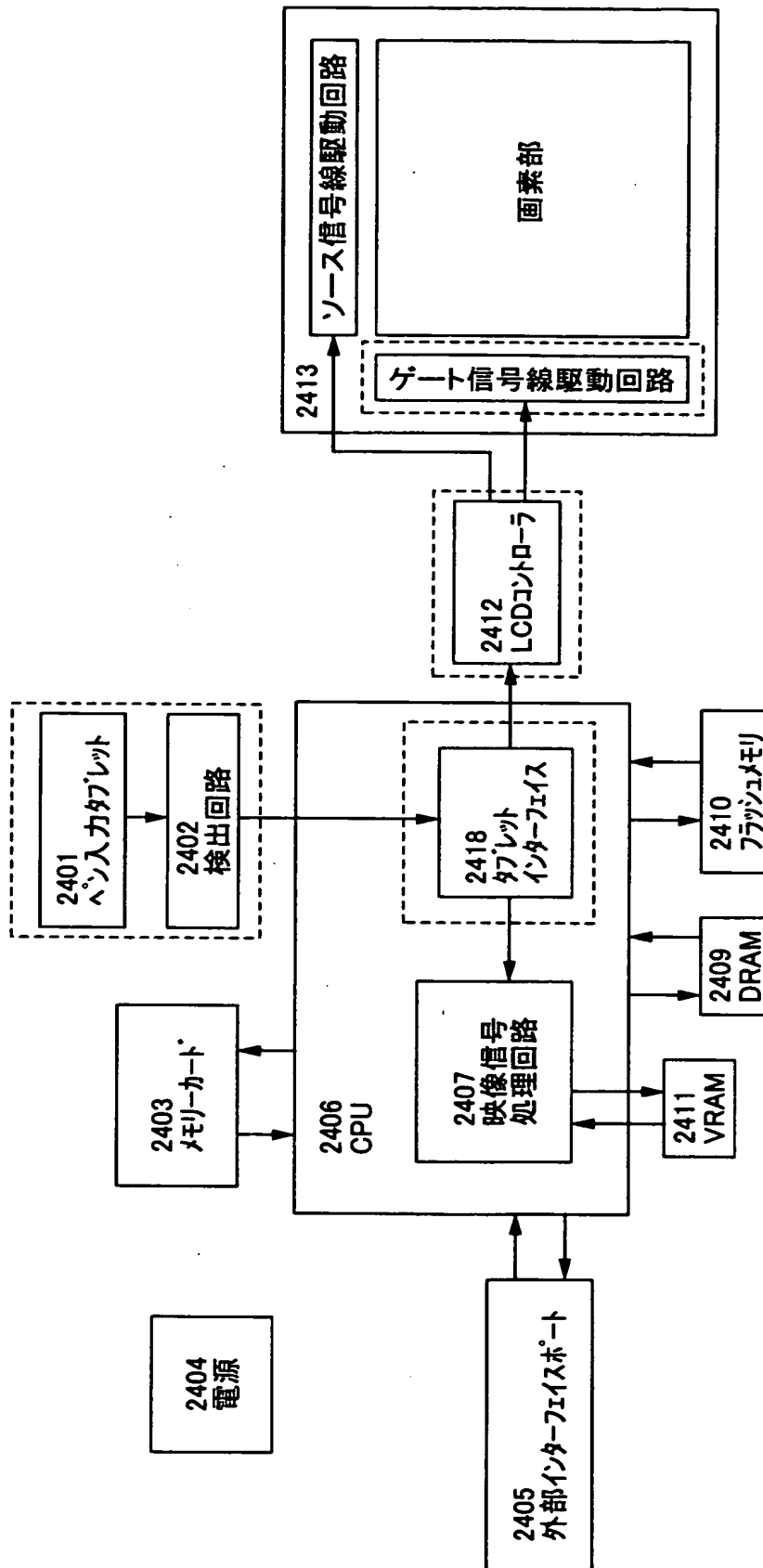
【図 3 2】 本発明の携帯情報端末の例を示す図。

【図 3 3】 本発明の携帯情報端末の例を示す図。

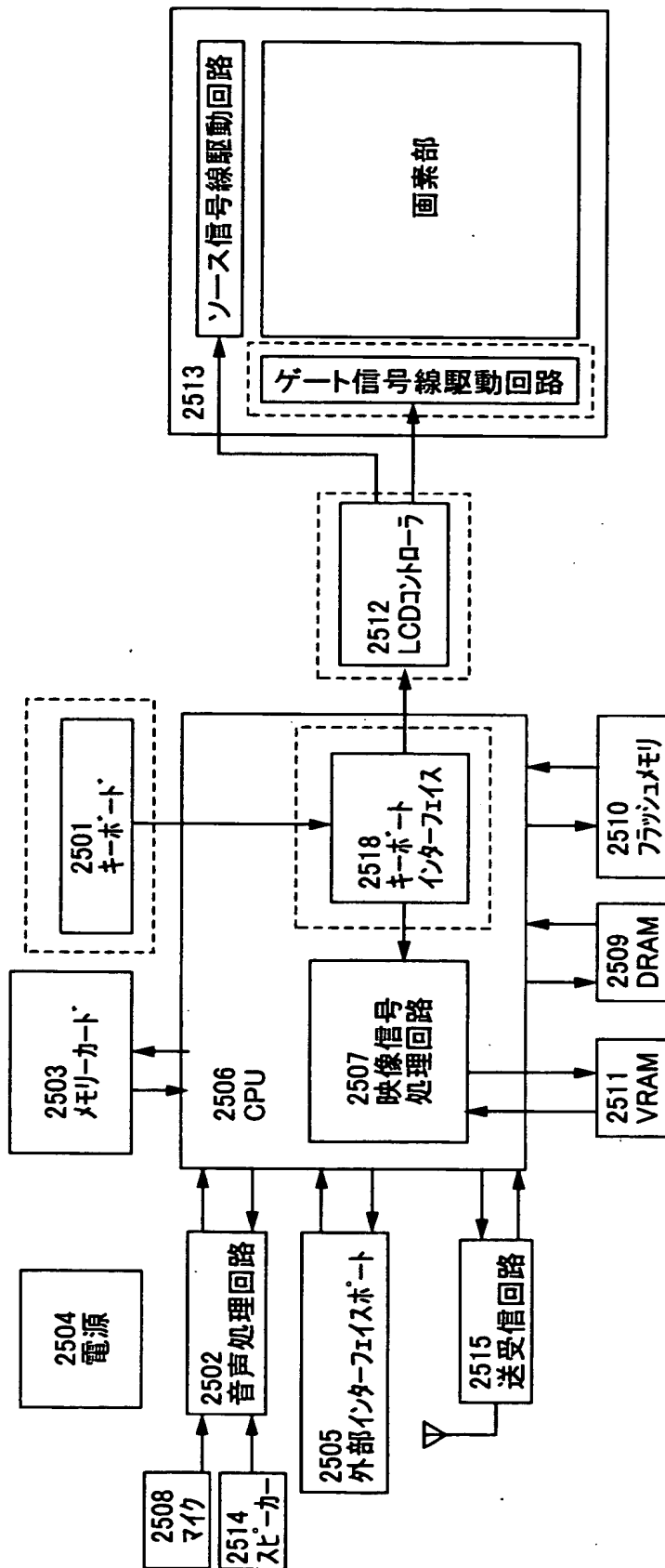
【書類名】

図面

【図 1】

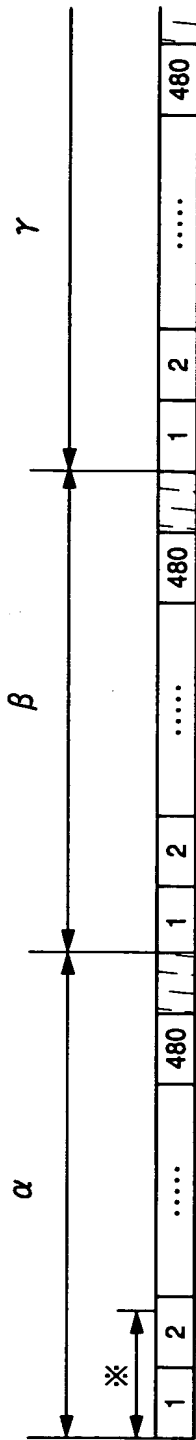


【図 2】

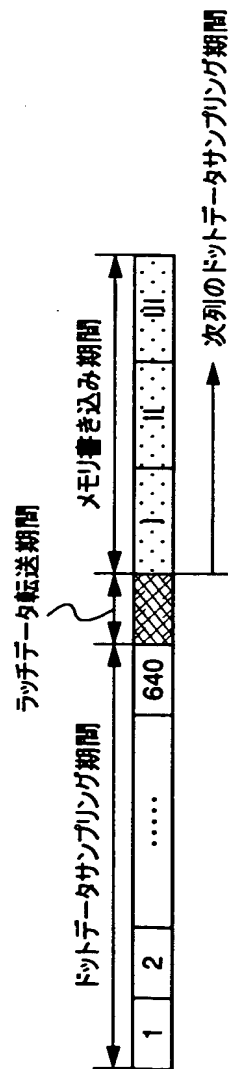


【図 3】

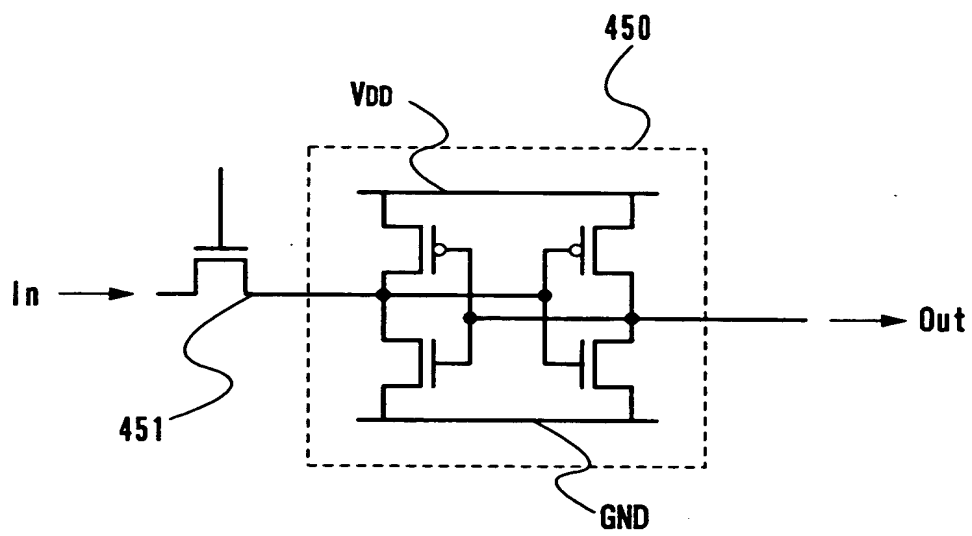
(A)



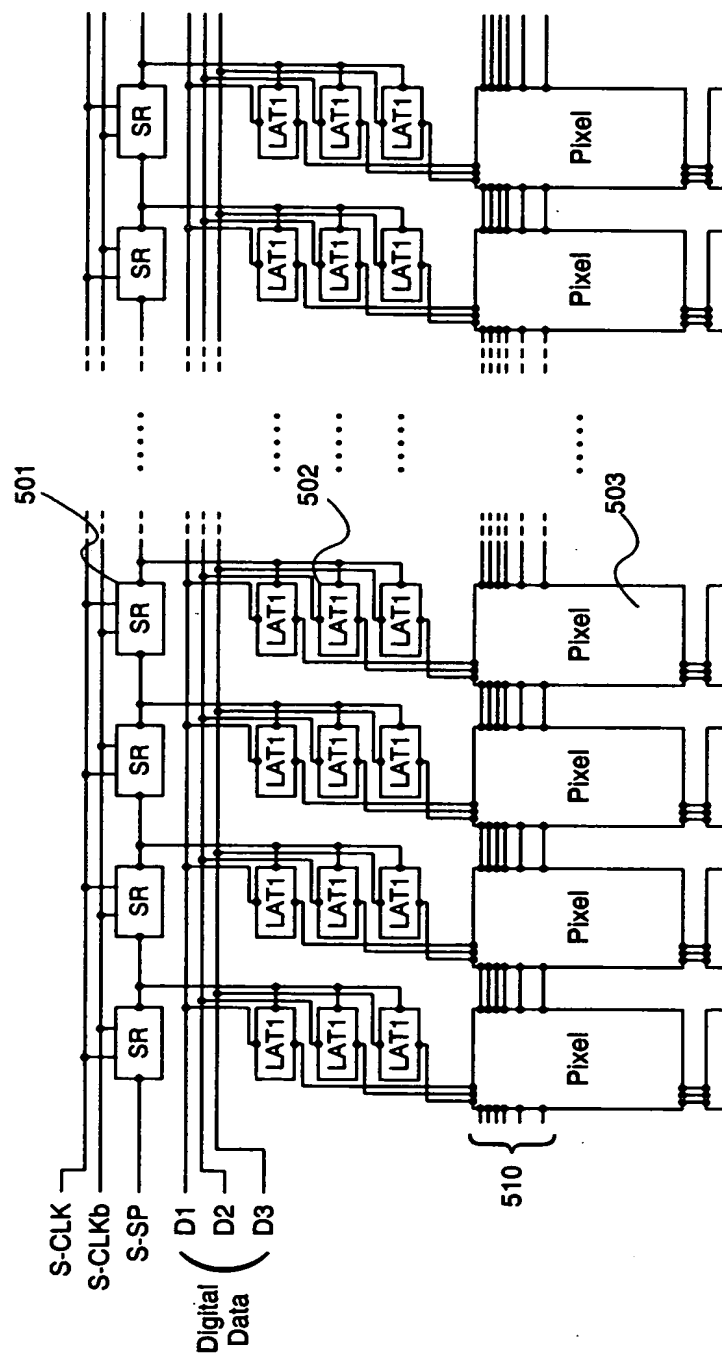
(B)



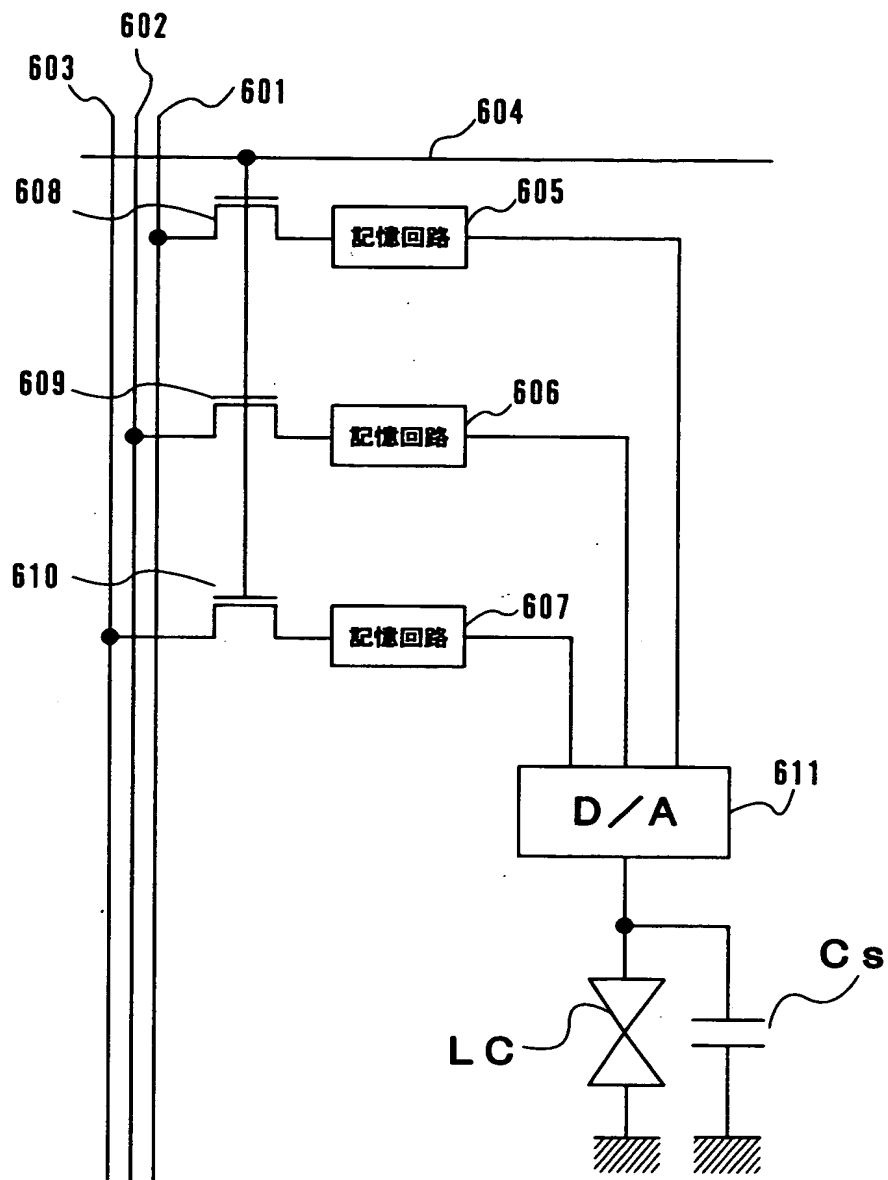
【図 4】



【図 5】

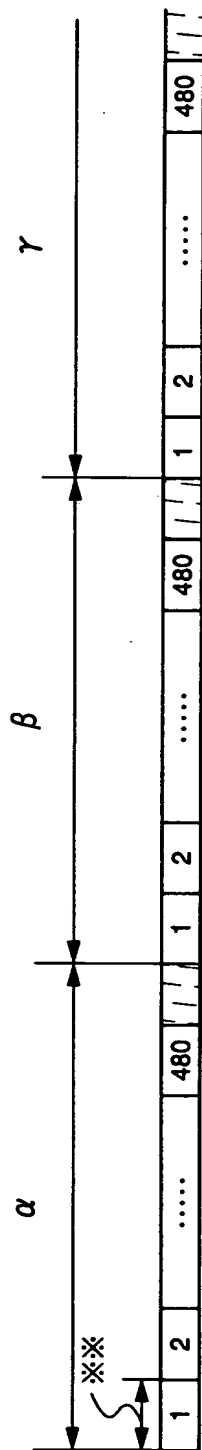


【図 6】

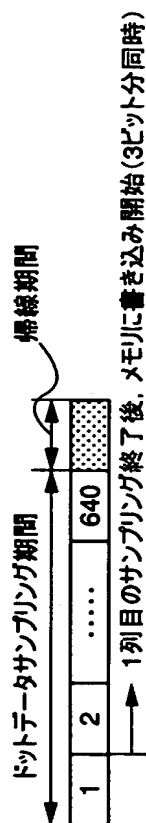


【図 7】

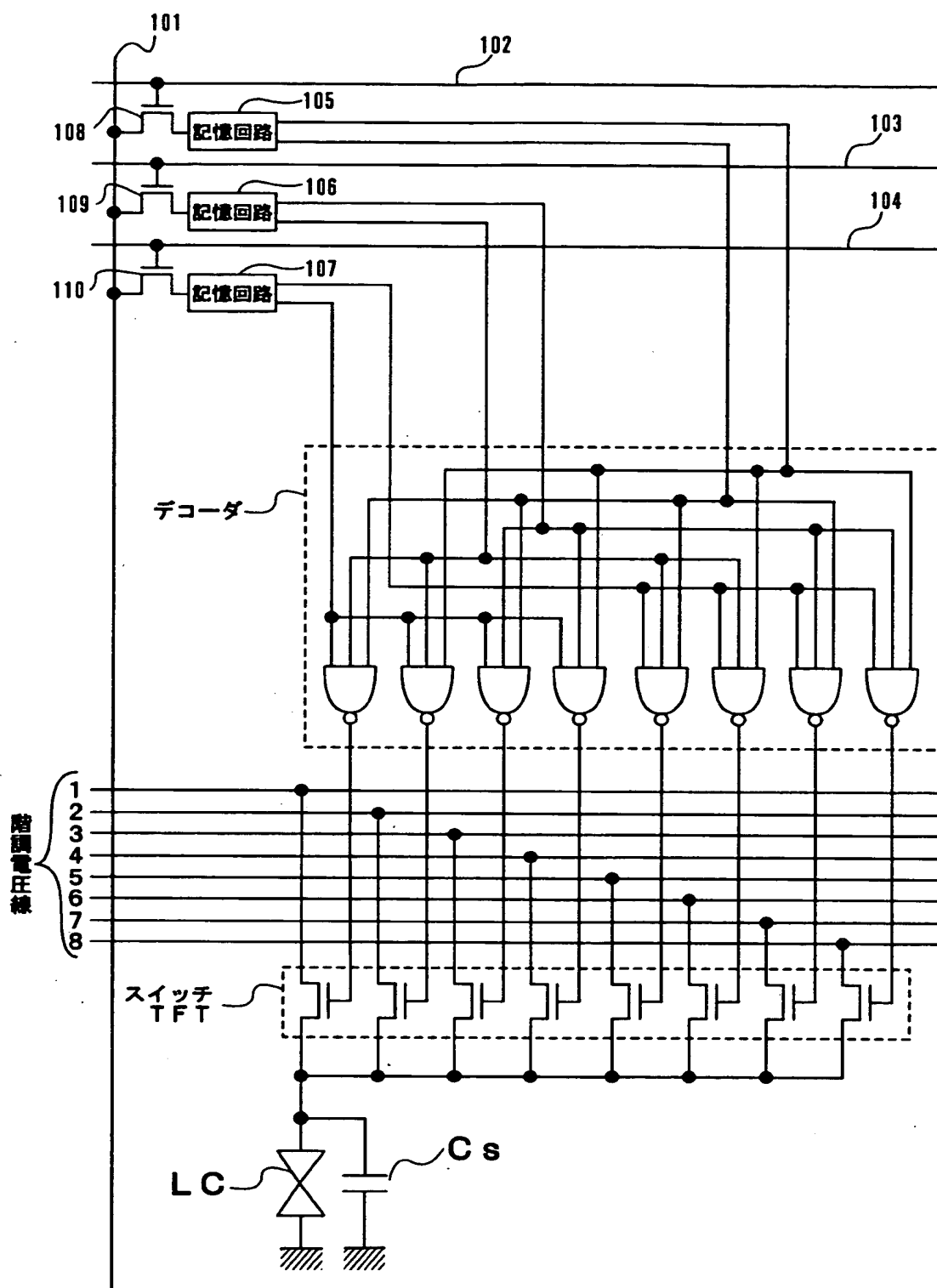
(A)



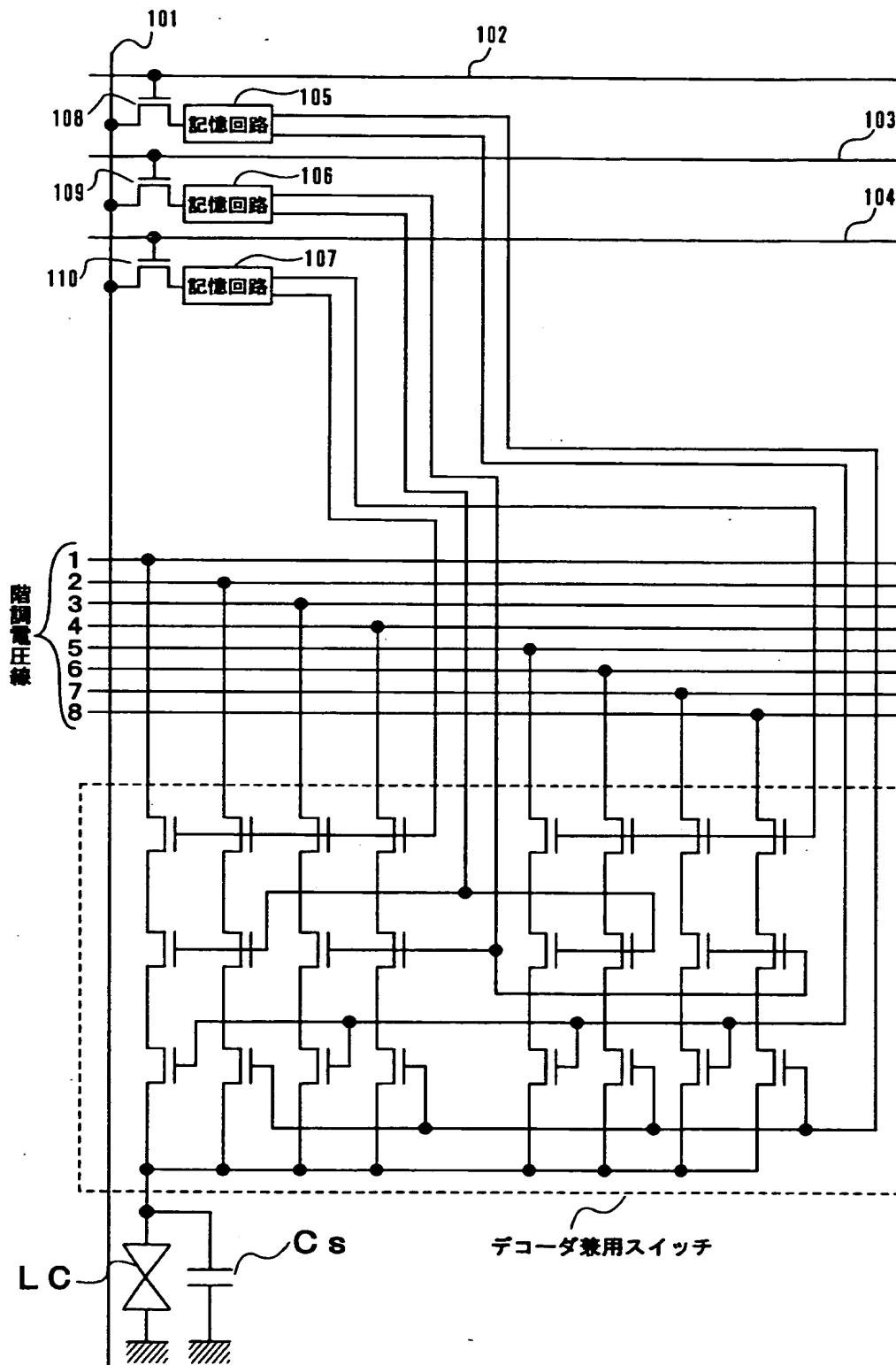
(B)



【図 8】

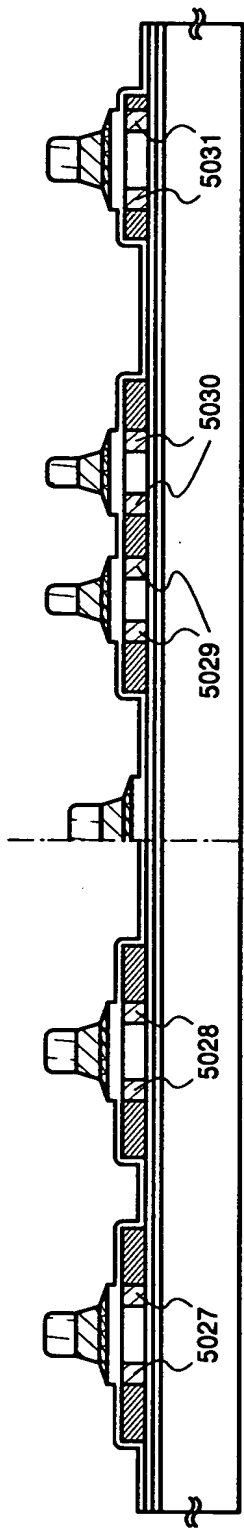


【図 9】

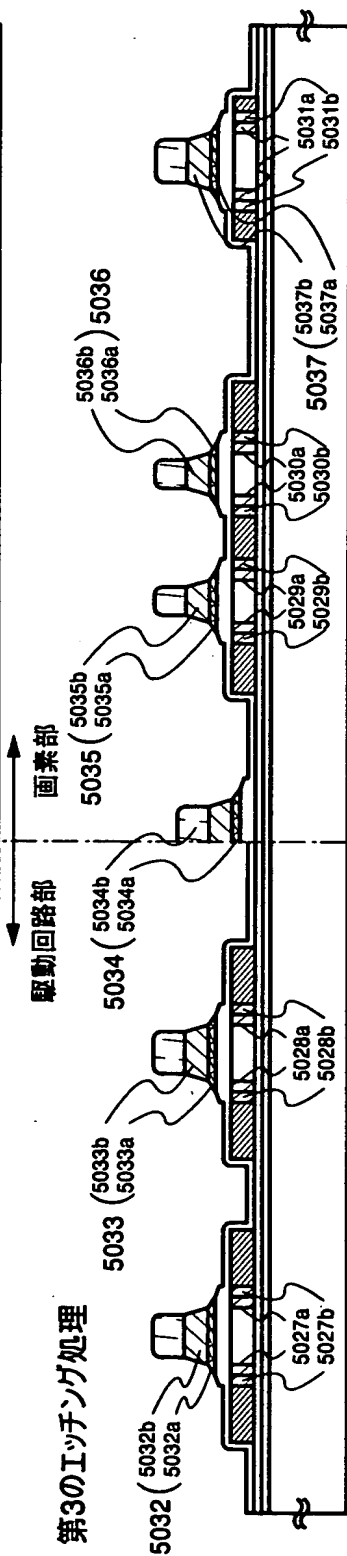


【図 11】

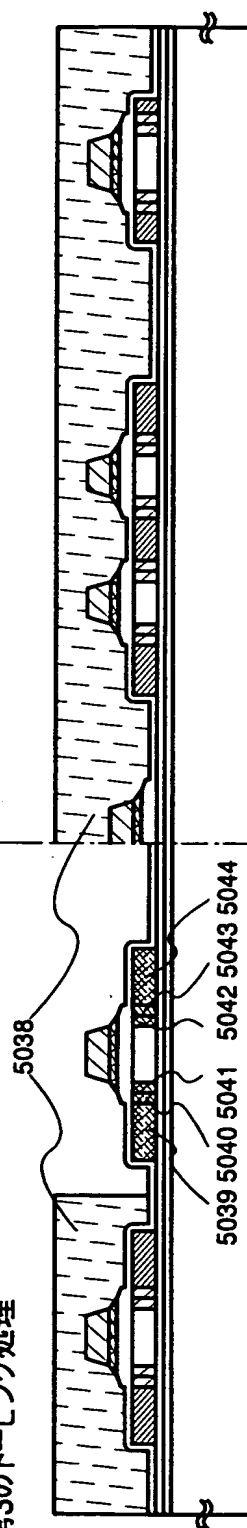
(A) 第2のドーピング処理



(B) 第3のイッチング処理



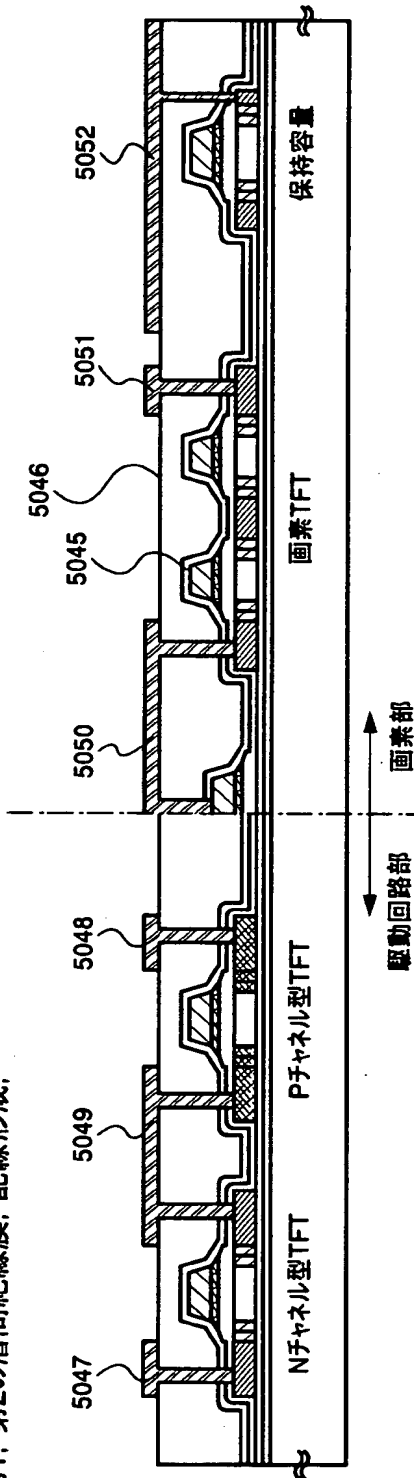
(C) 第3のドーピング処理



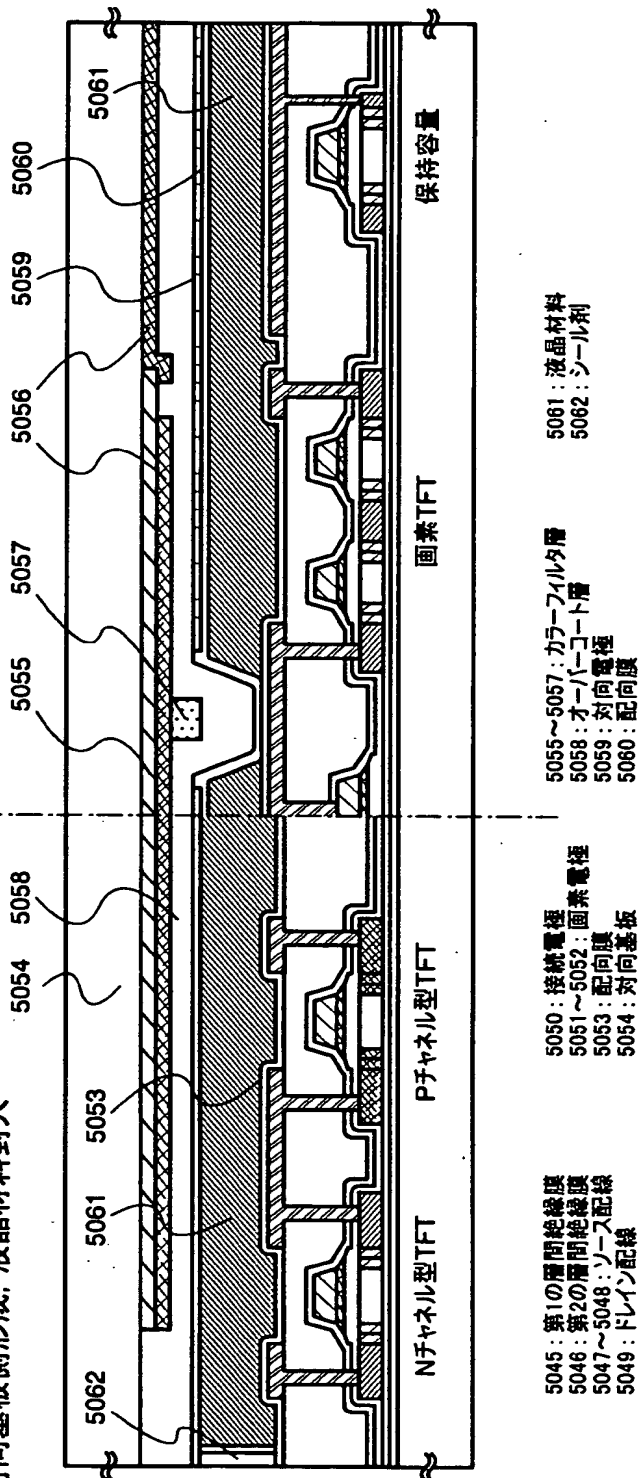
5027~5031 : 第2の不純物領域 (イッチング前)
 5027a~5031a : 第2の不純物領域 (イッチング後)
 5027b~5031b : 第3の不純物領域
 5032~5037 : 第3の形状の導電層
 5032a~5037a : 第1の導電層
 5032b~5037b : 第2の導電層
 5038 : レジストマスク
 5039~5044 : 第4の不純物領域

【図 12】

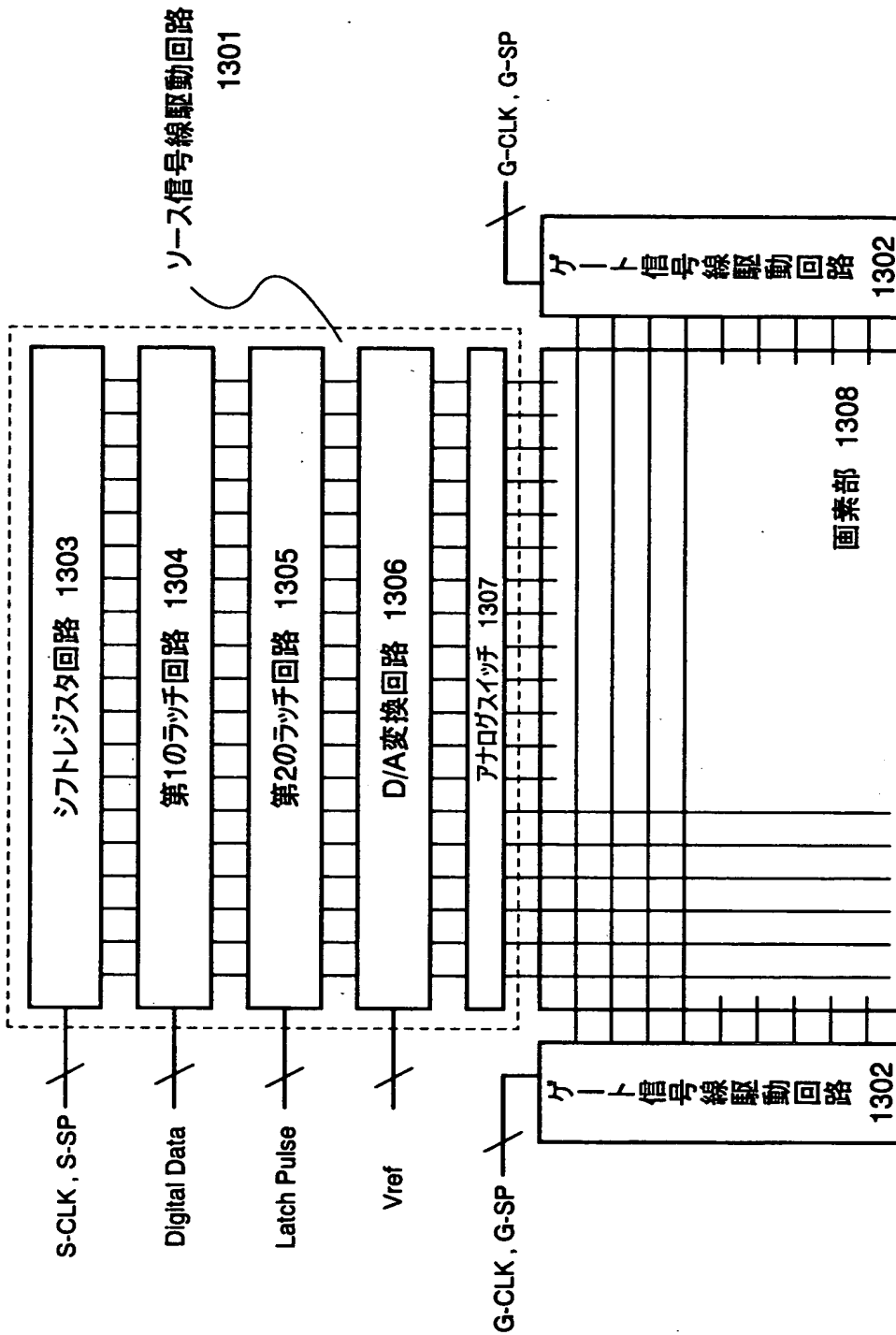
(A) 第1, 第2の層間絶縁膜, 配線形成,



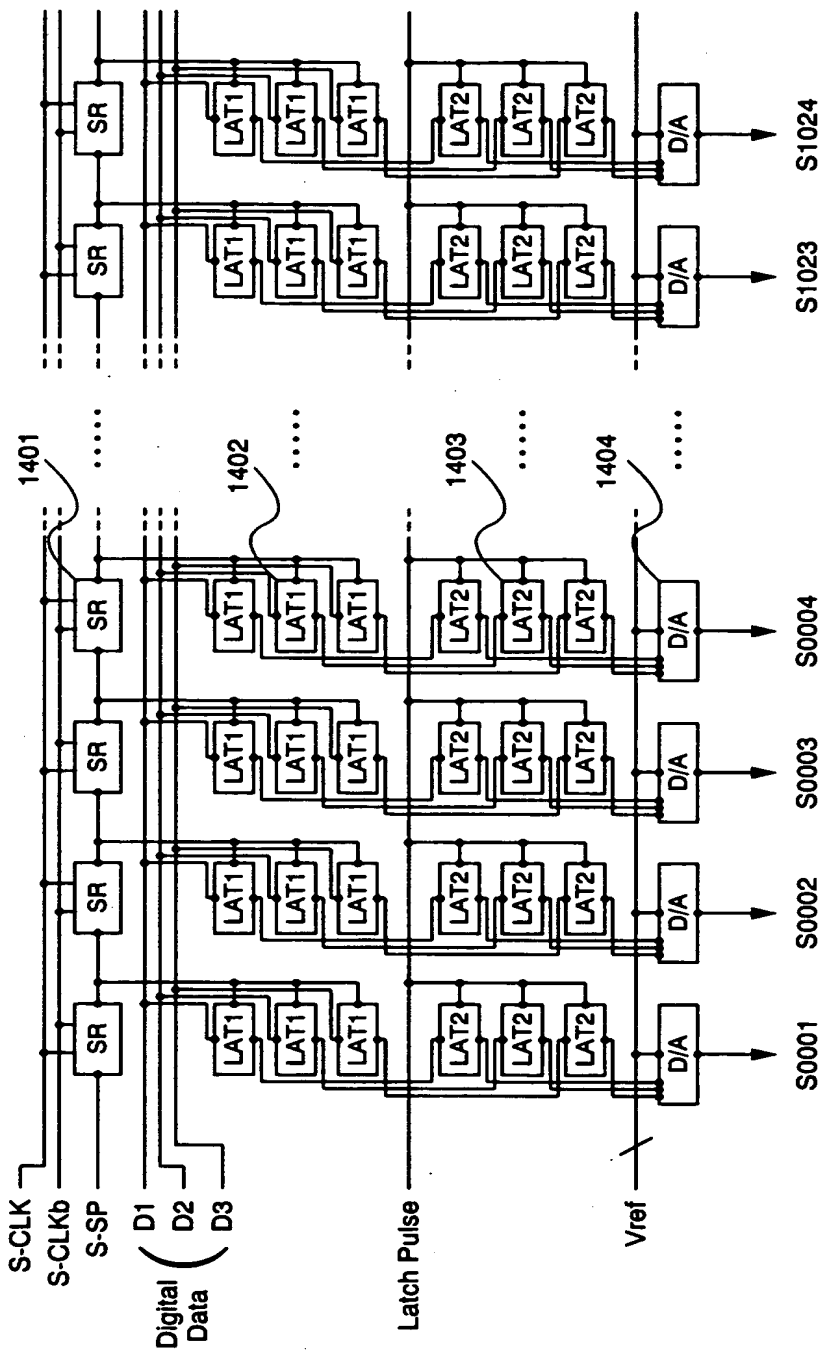
(B) 対向基板側形成, 液晶材料封入



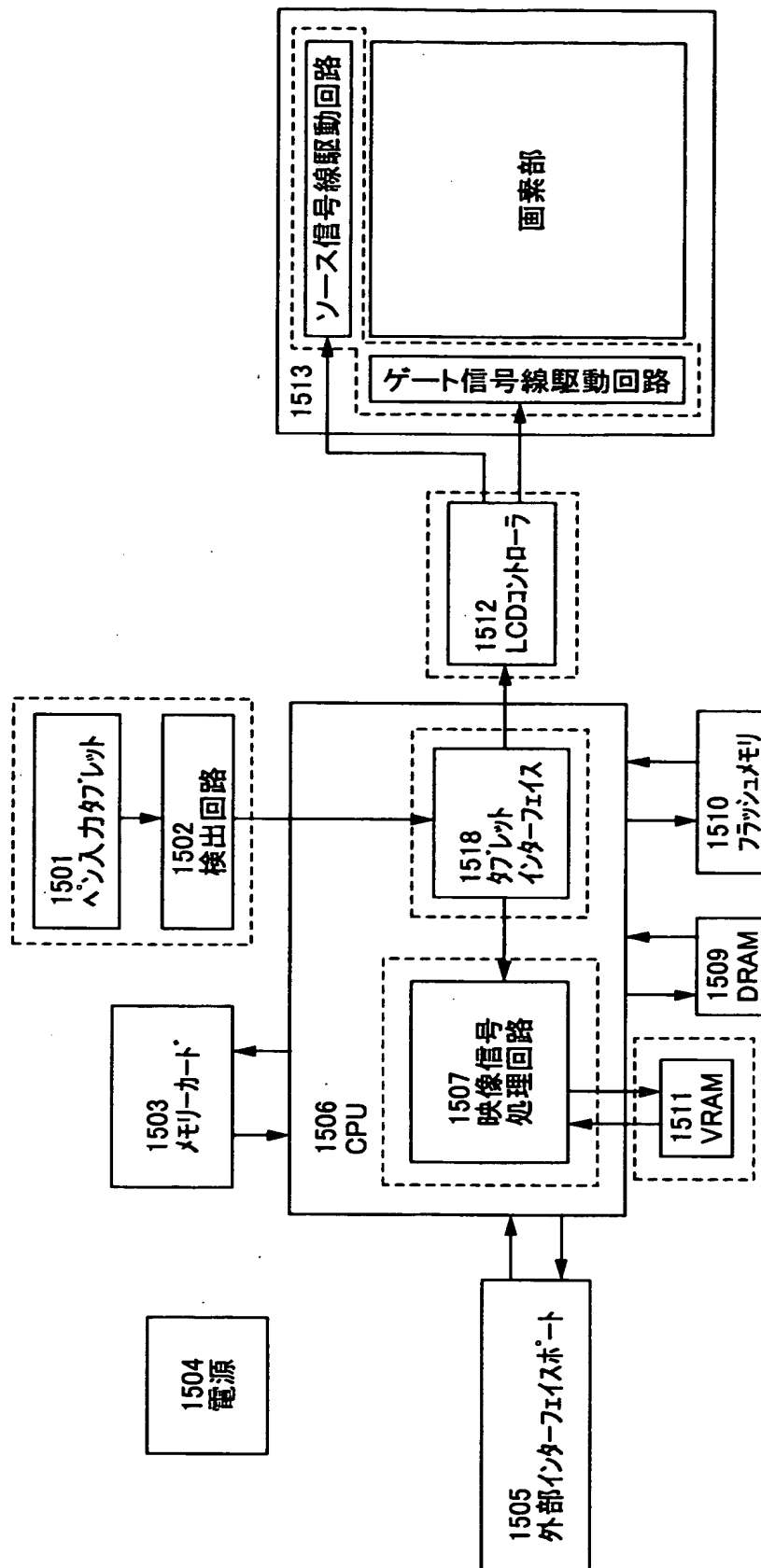
【図 13】



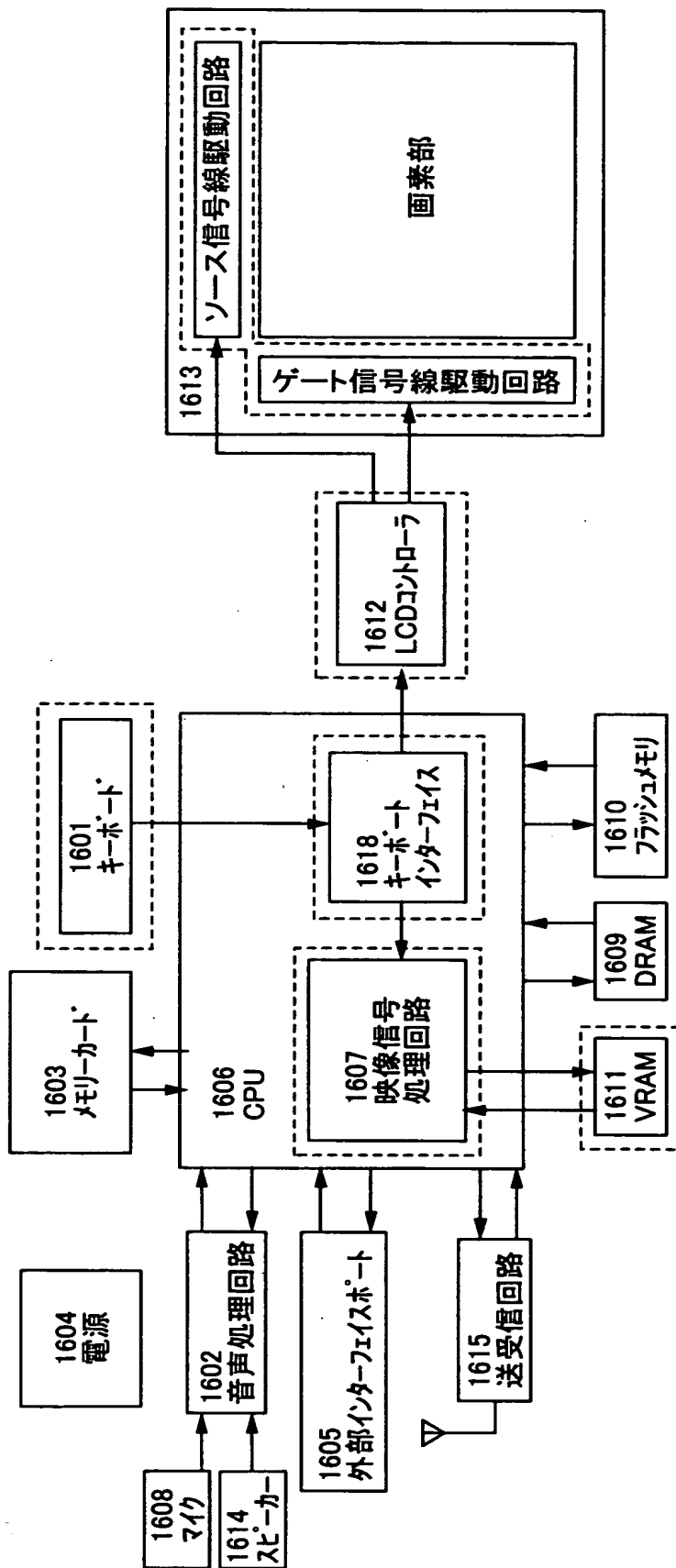
【図 14】



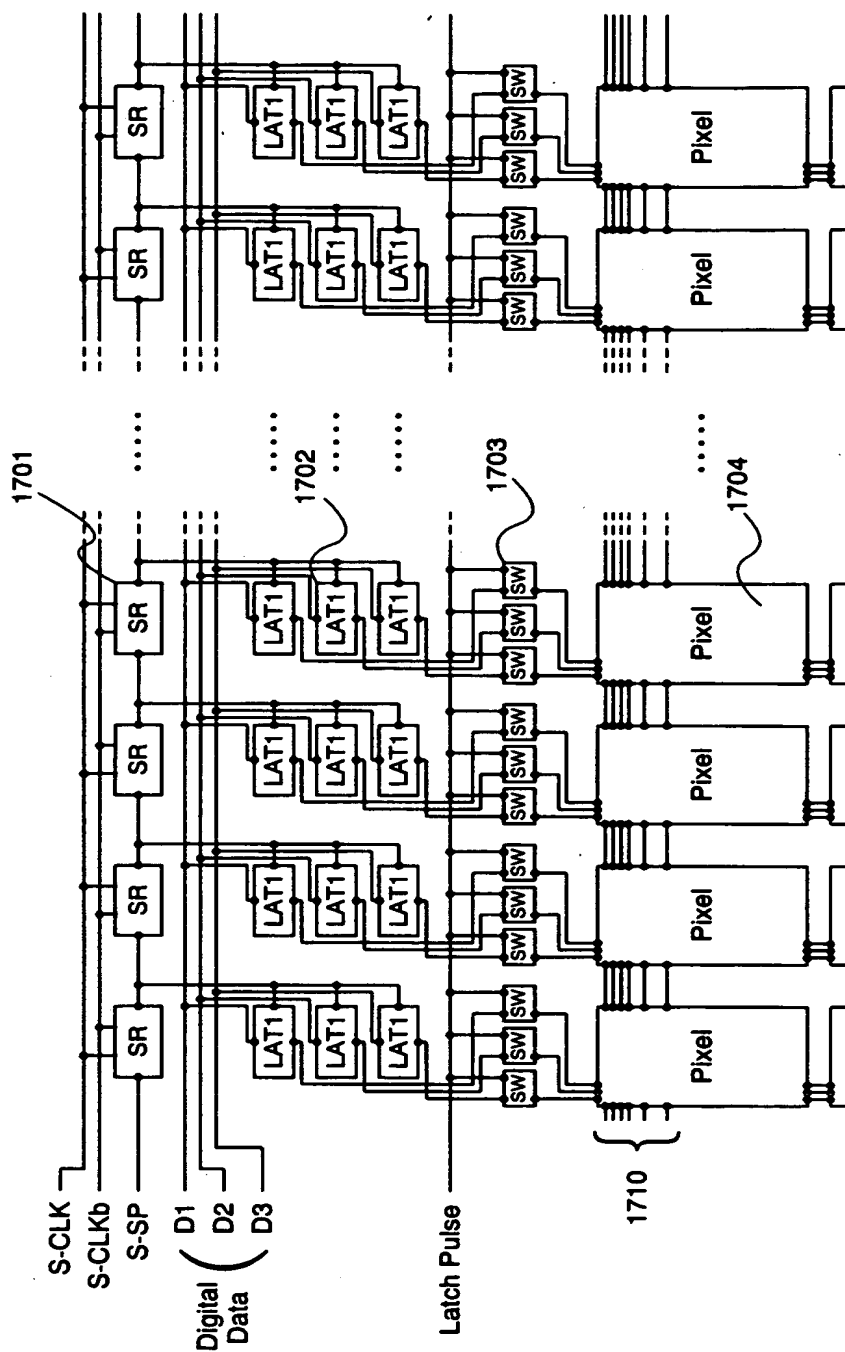
【図 15】



【図 1 6】

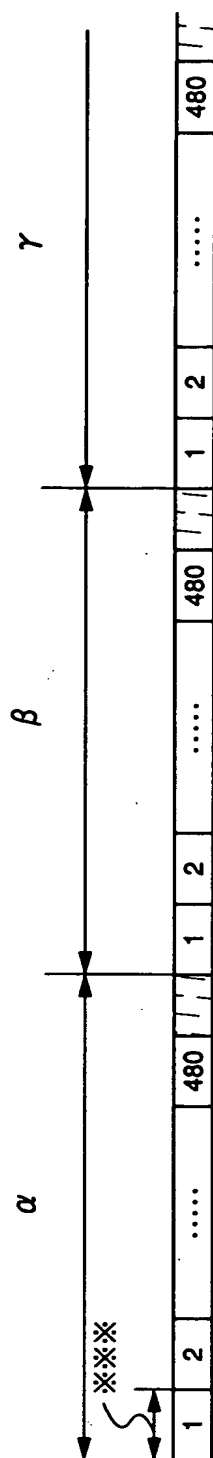


【図 17】

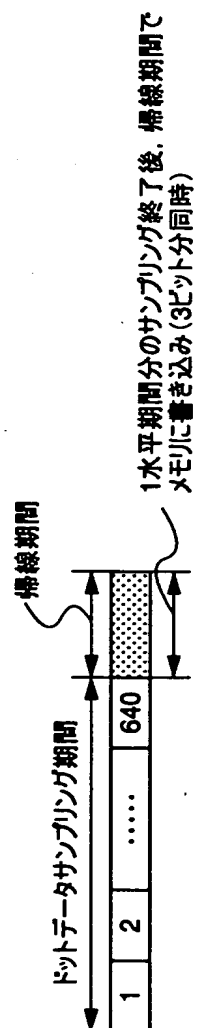


【図18】

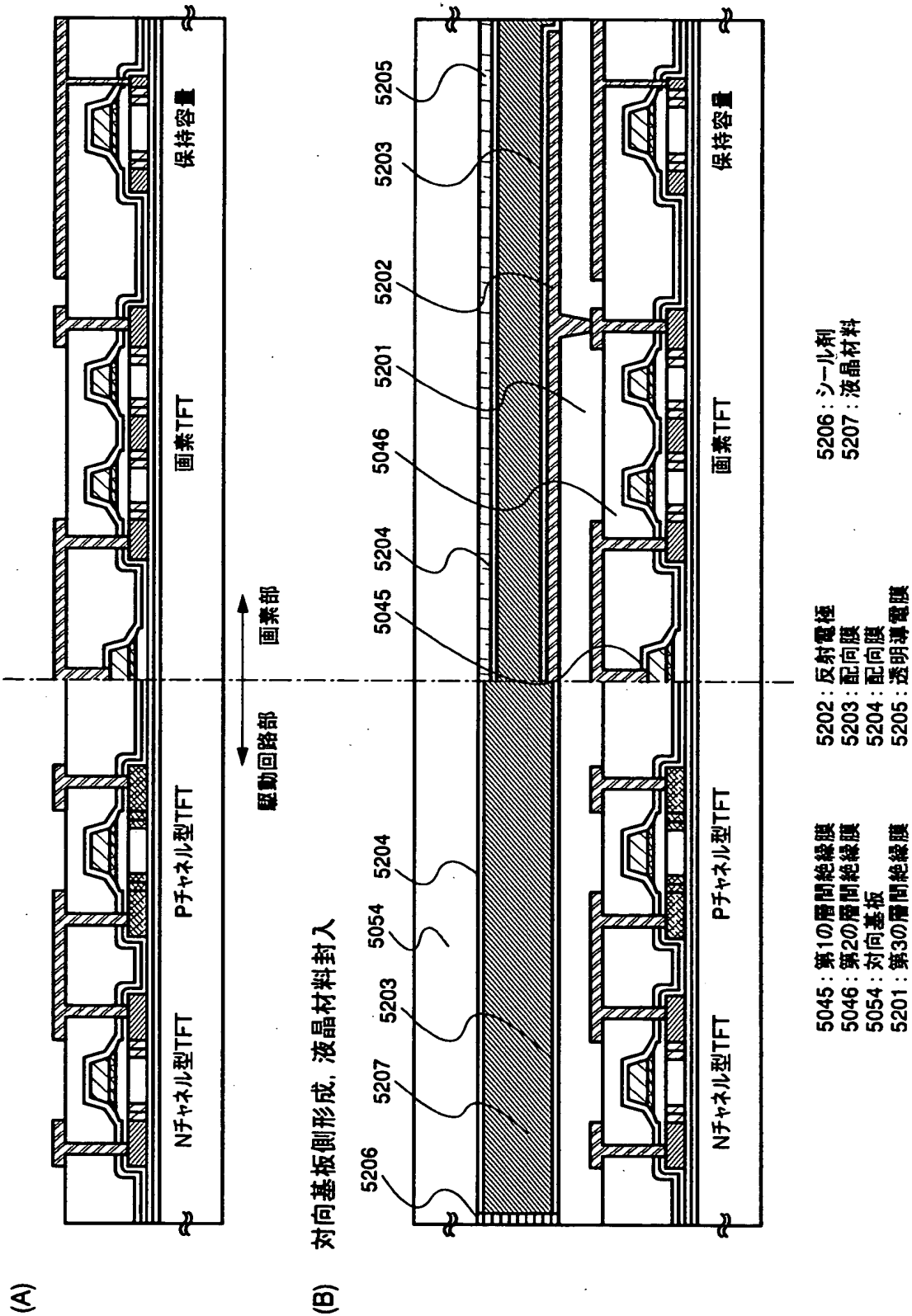
(A)



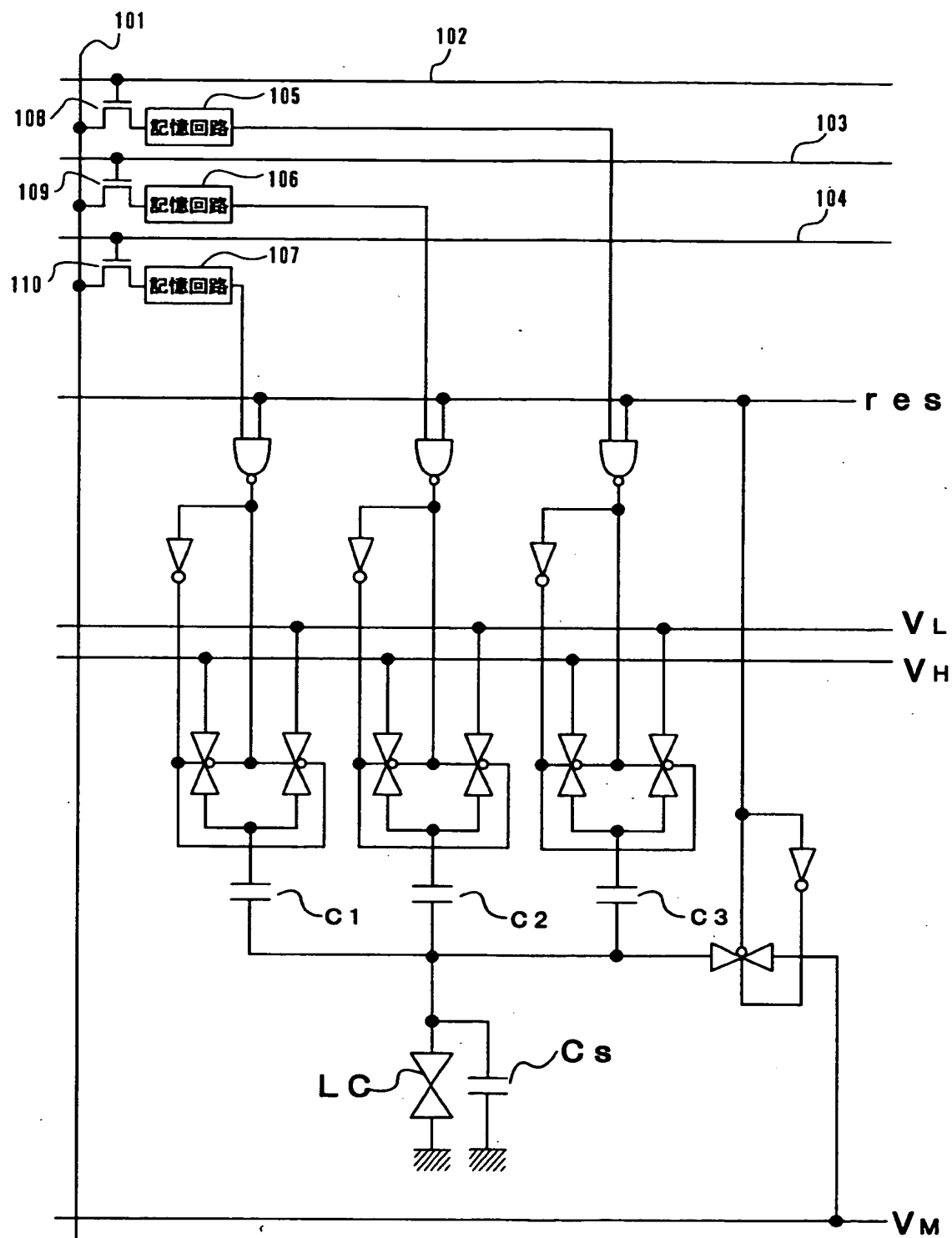
(B)



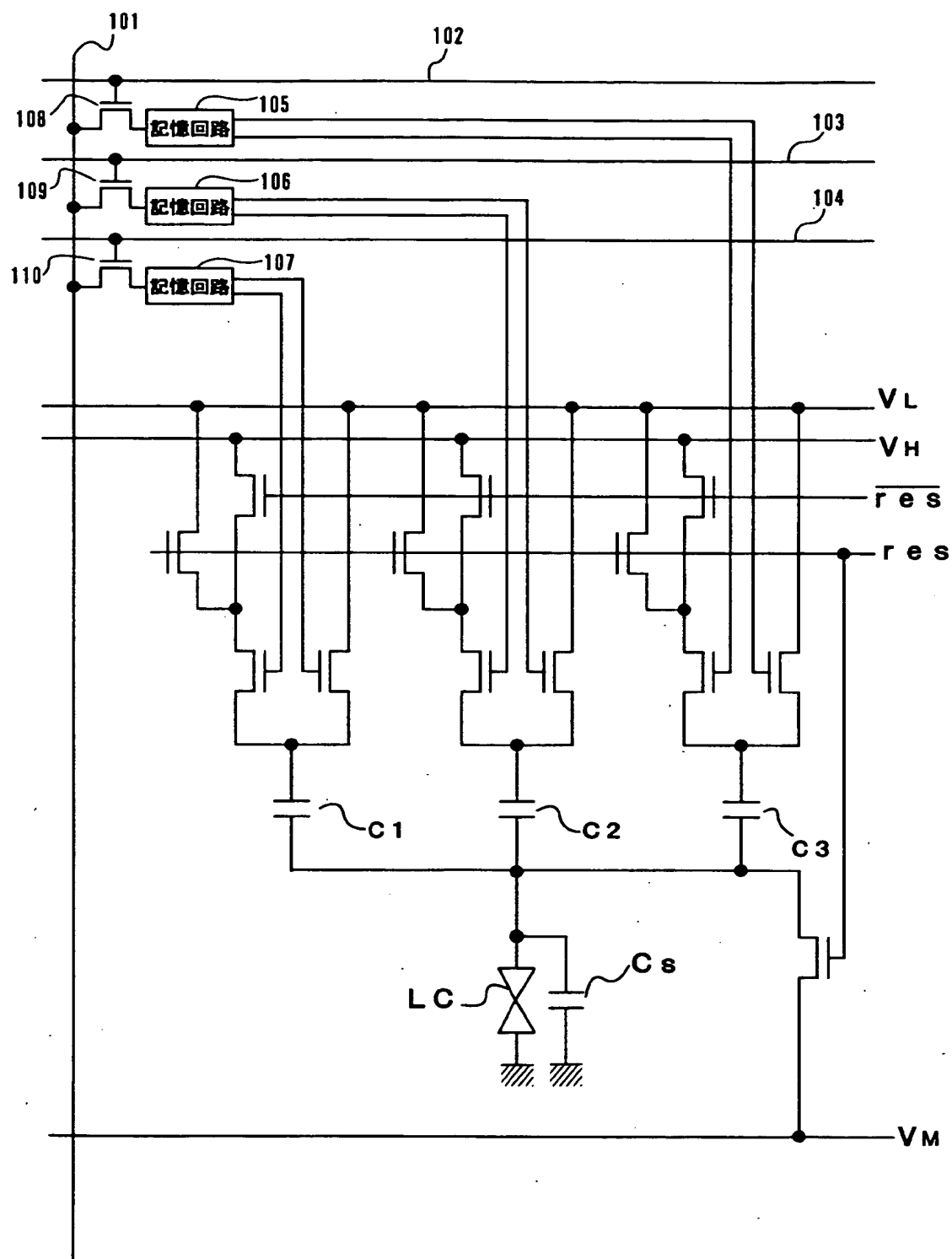
【図19】



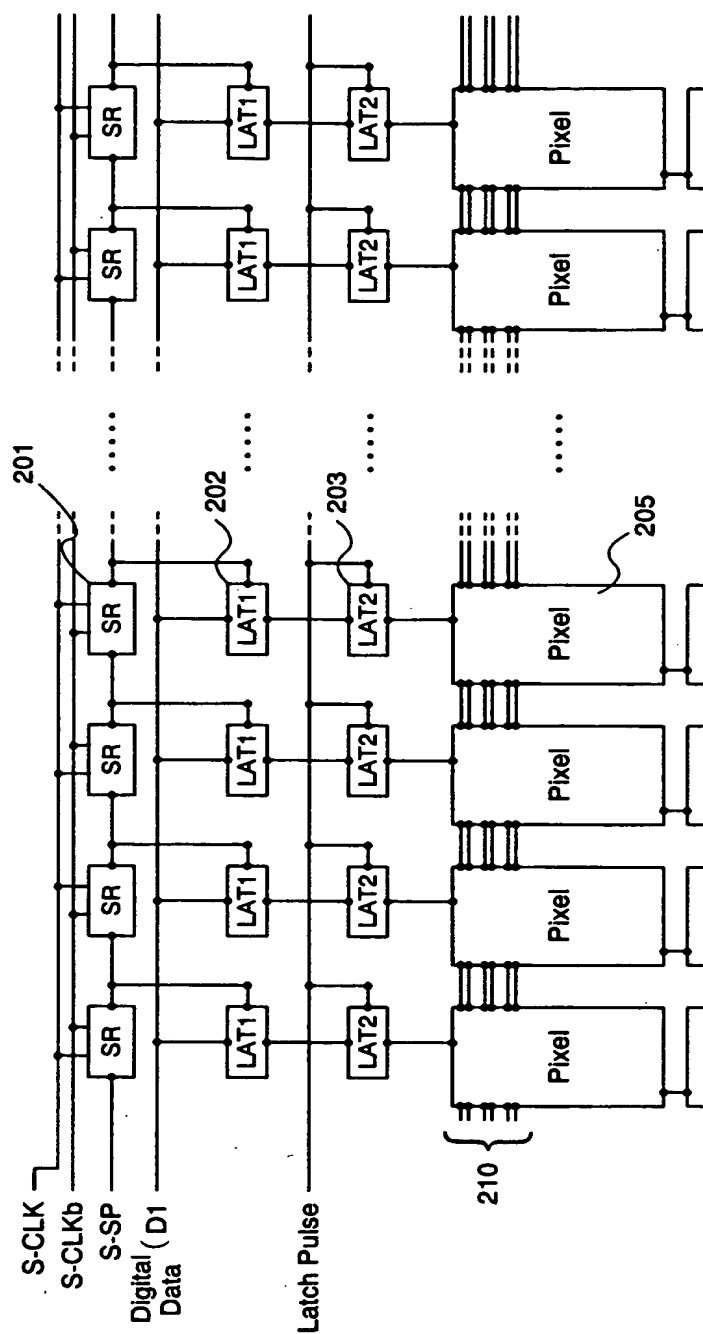
【図 20】



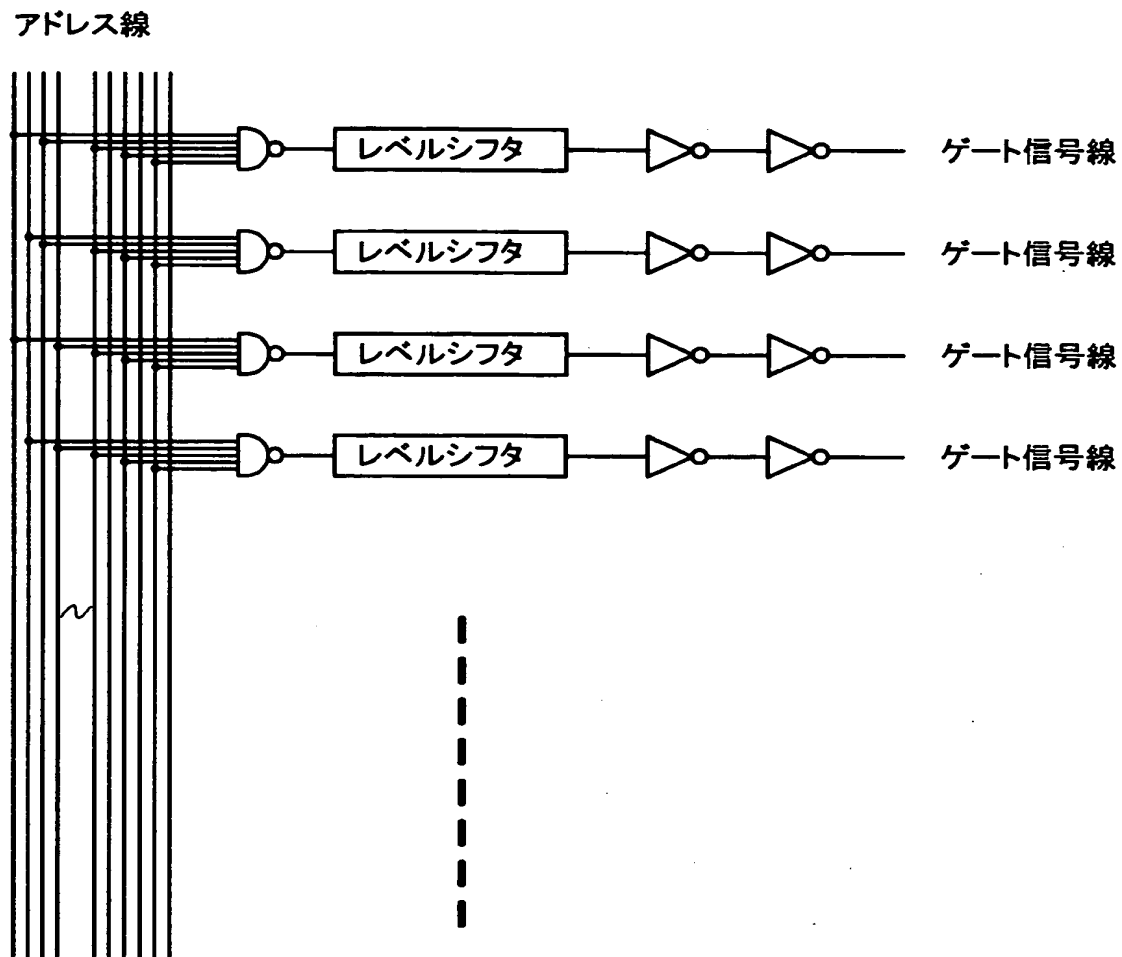
【図 21】



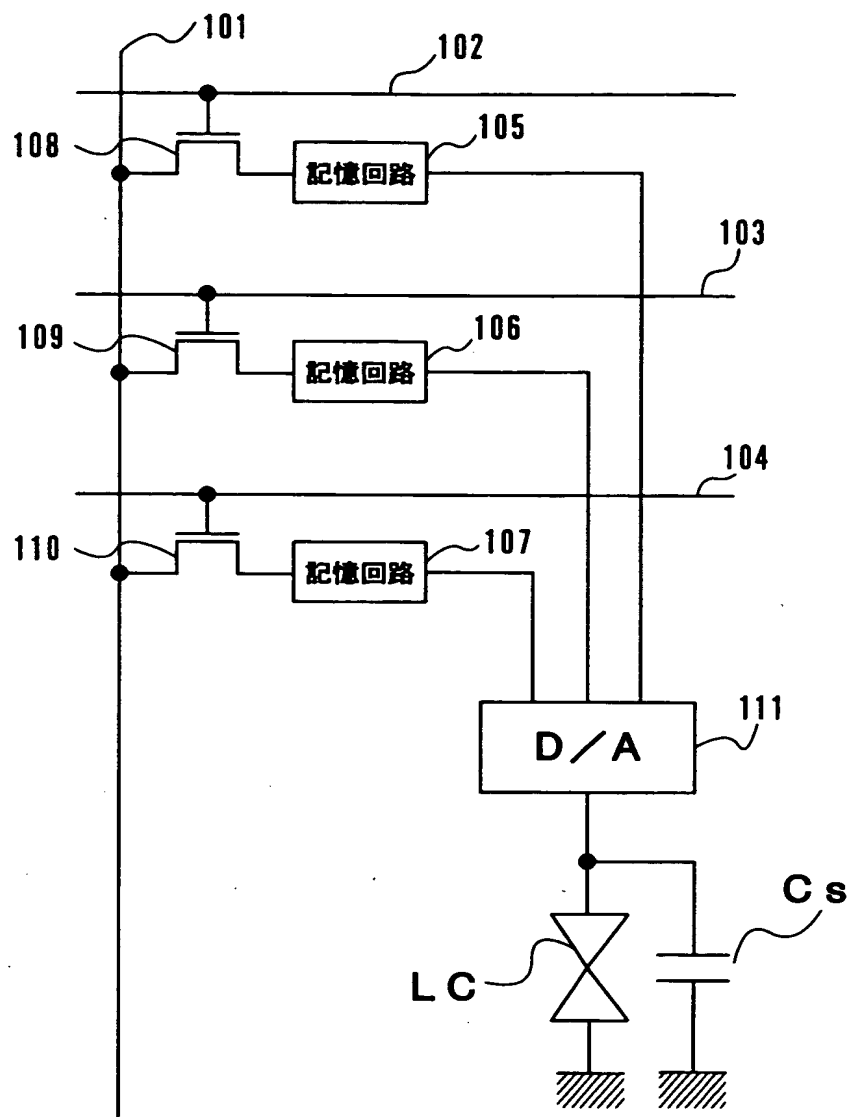
【図 22】



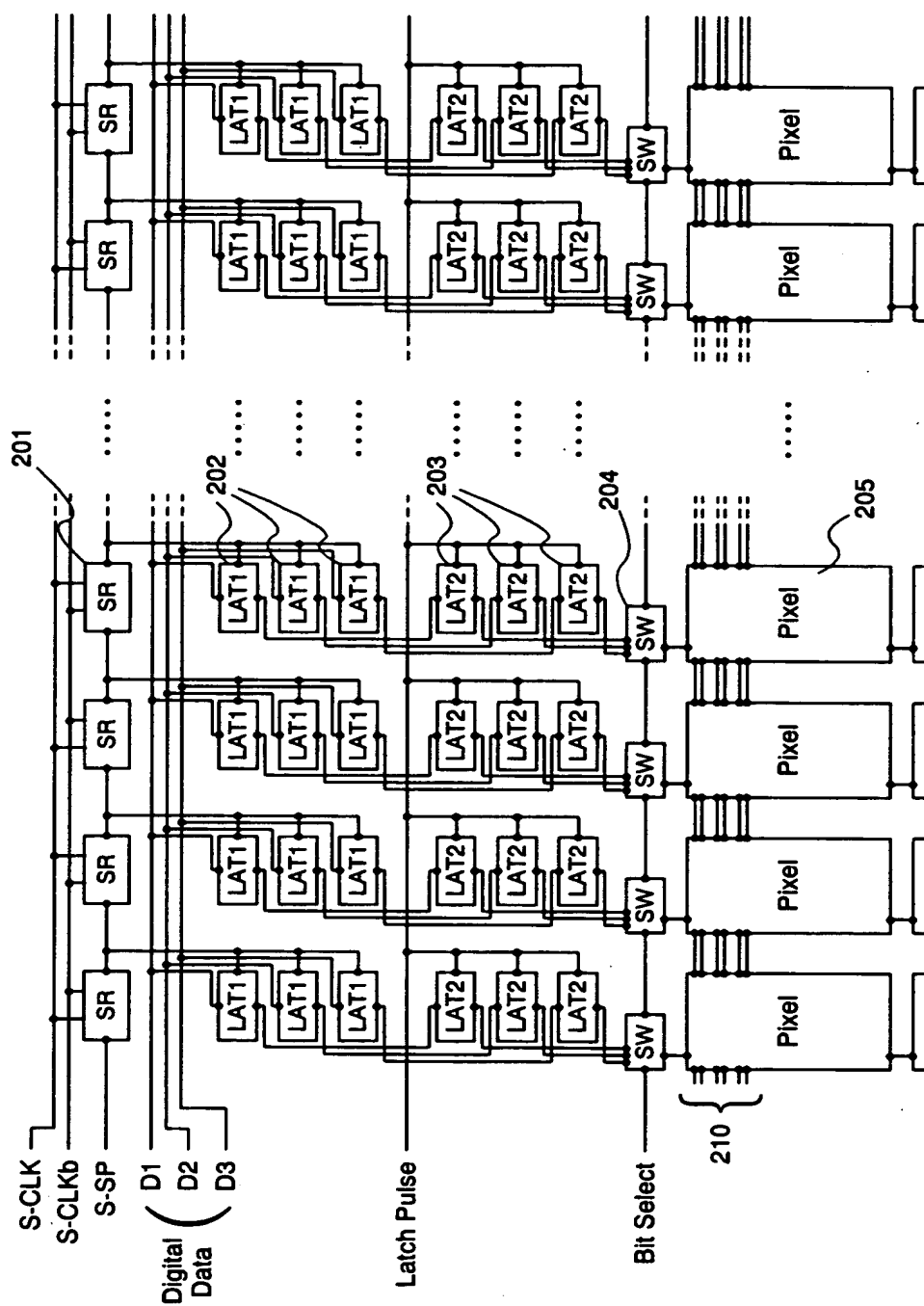
【図 2 3】



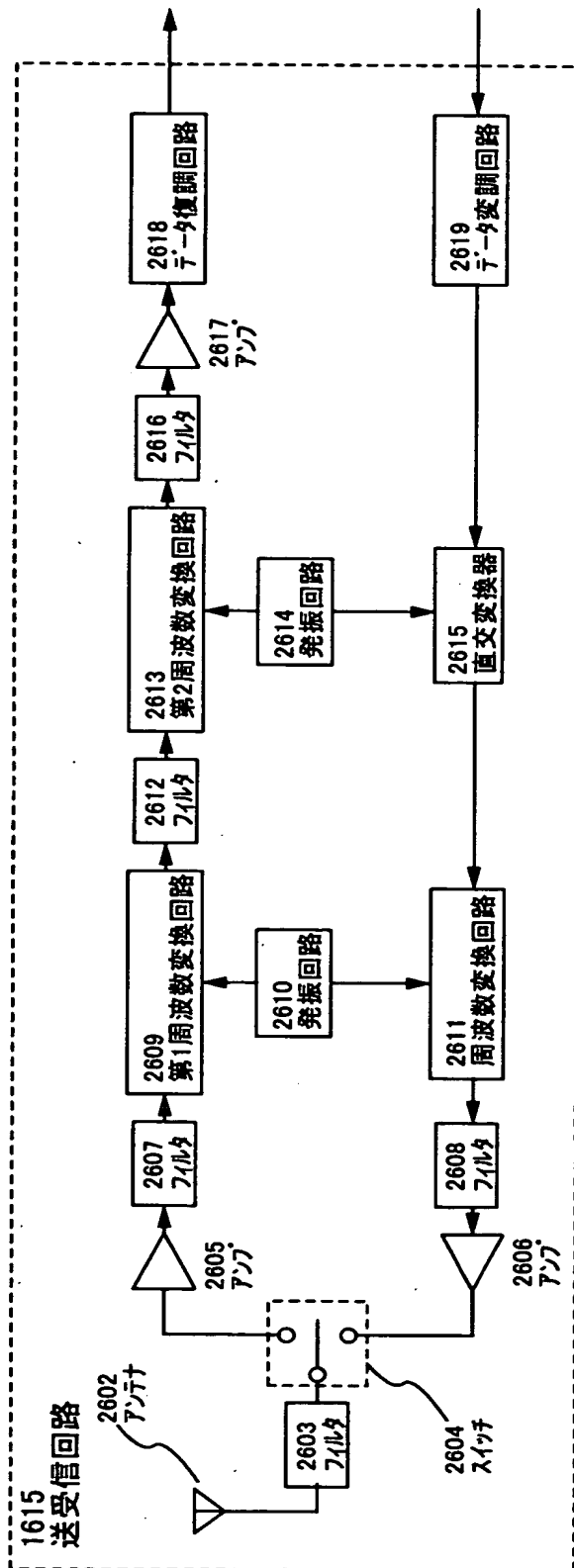
【図 24】



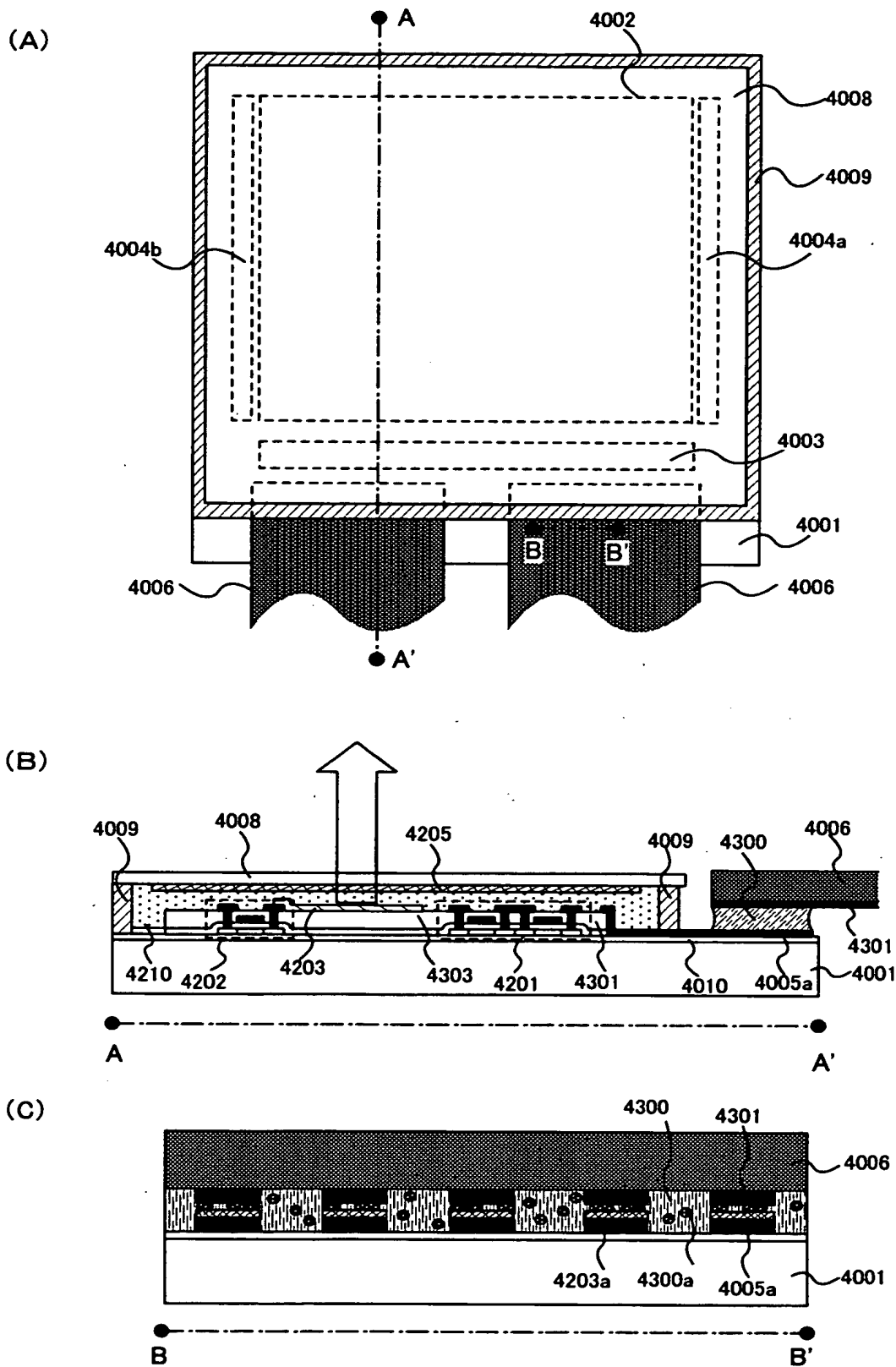
【図 25】



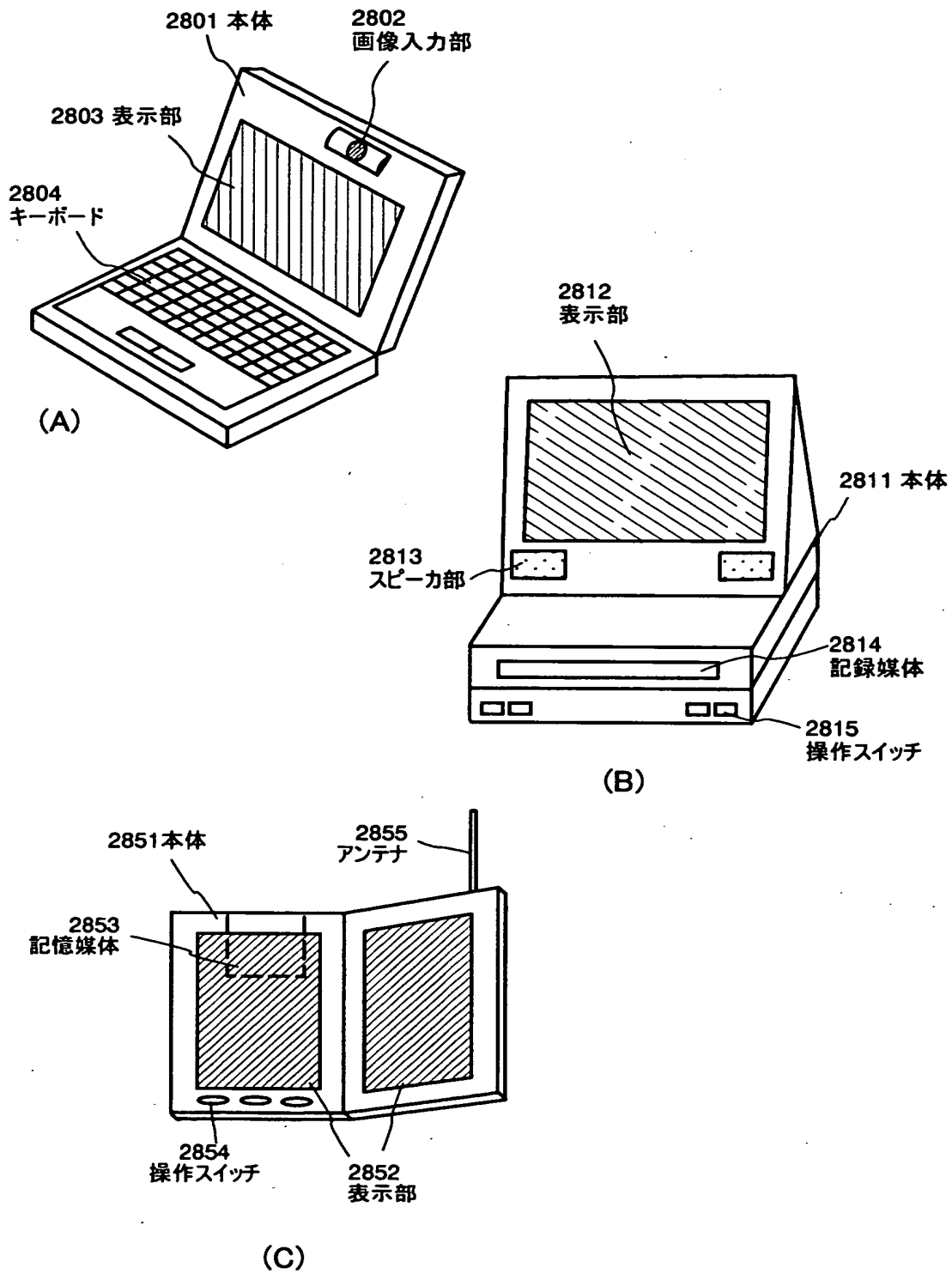
【図 26】



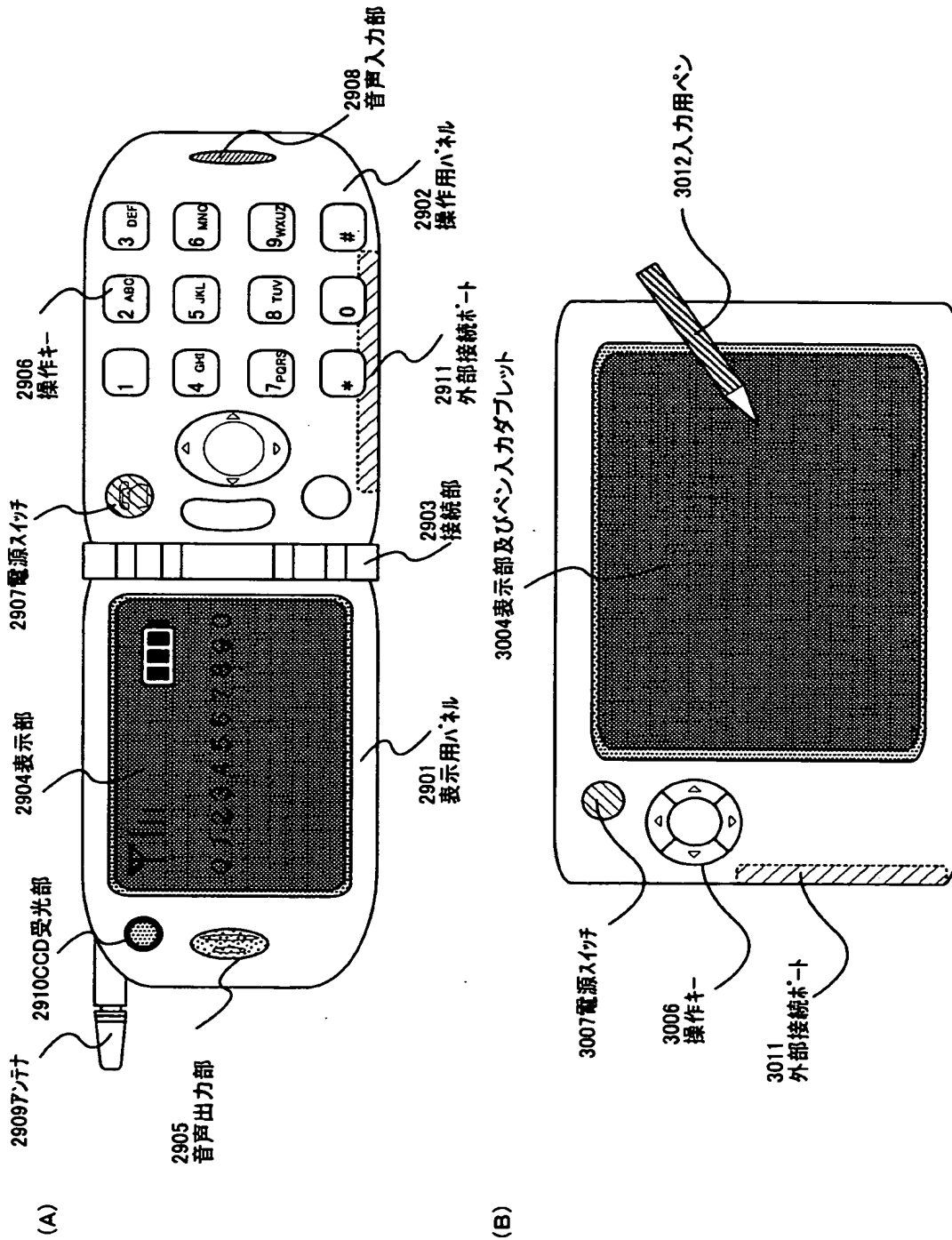
【図 2 7】



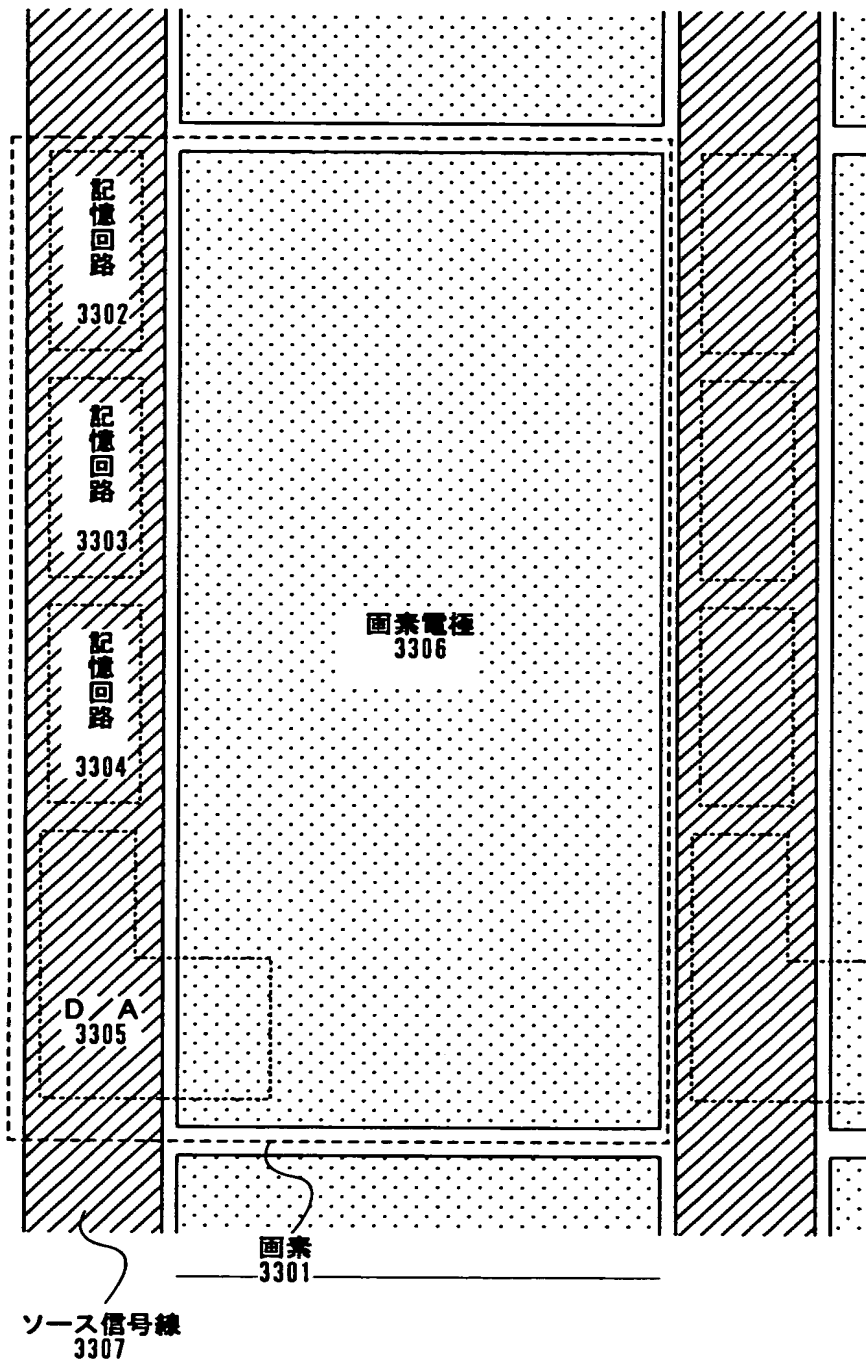
【図 2 8】



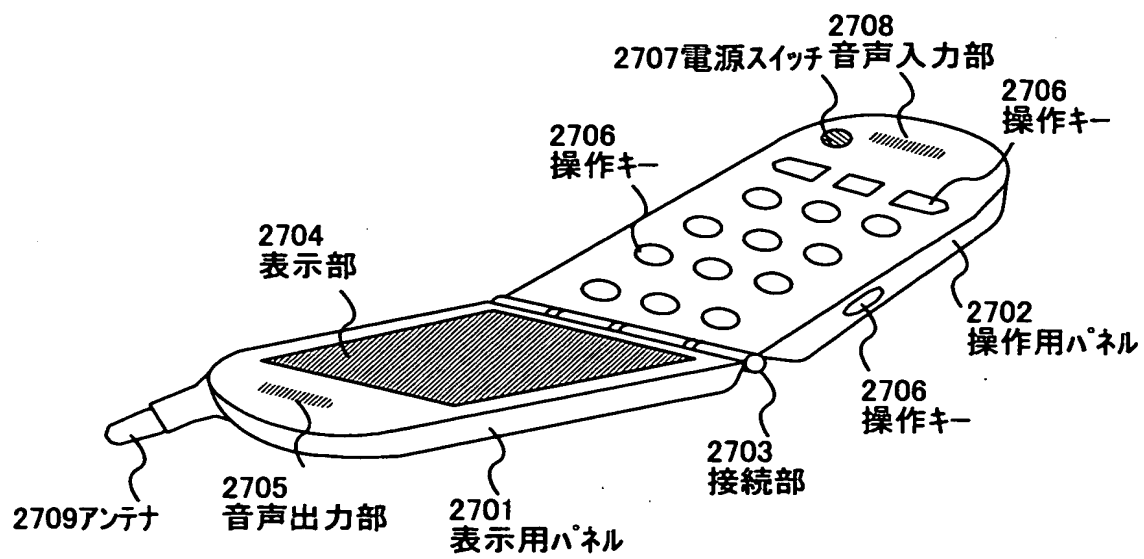
【図 29】



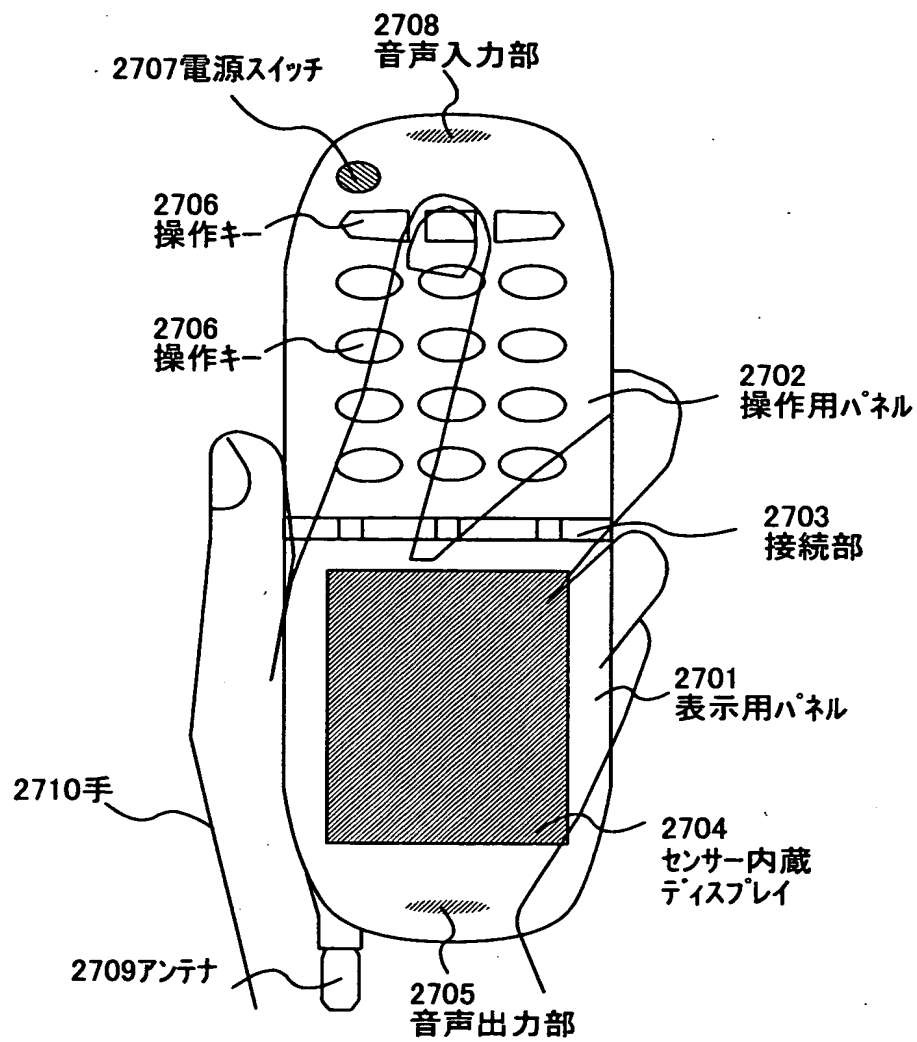
【図 3 0】



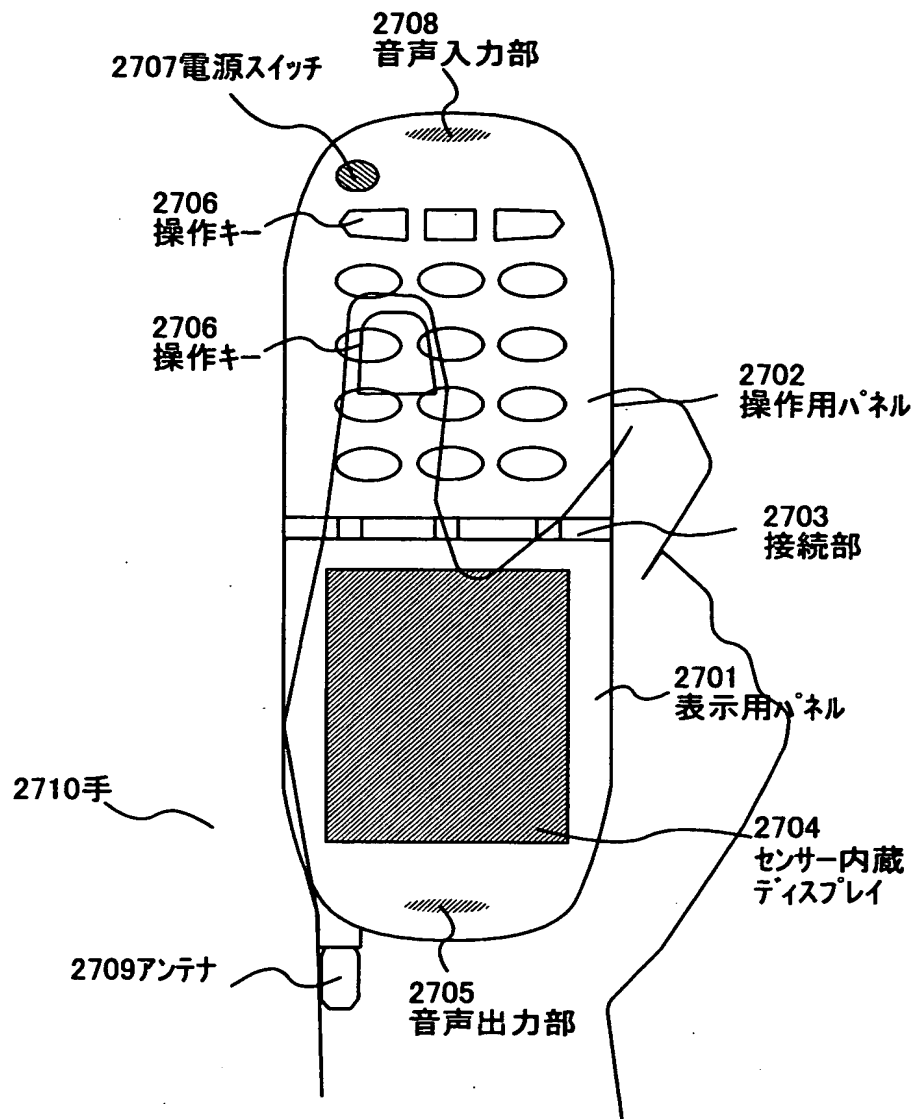
【図 3 1】



【図 3 2】



【図 3 3】



【書類名】 要約書

【要約】

【課題】 静止画表示時の低消費電力化が可能な液晶表示装置を有する携帯情報装置の提供を課題とする。

【解決手段】 携帯情報装置が有する液晶表示装置において、画素中に記憶回路とD/Aコンバータとを配置し、液晶表示装置が静止画を表示するとき、液晶表示装置と液晶表示装置をコントロールするコントロール回路以外の映像表示機能を停止することにより低消費電力化が可能な携帯情報装置が得られる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日
[変更理由] 新規登録
住 所 神奈川県厚木市長谷398番地
氏 名 株式会社半導体エネルギー研究所